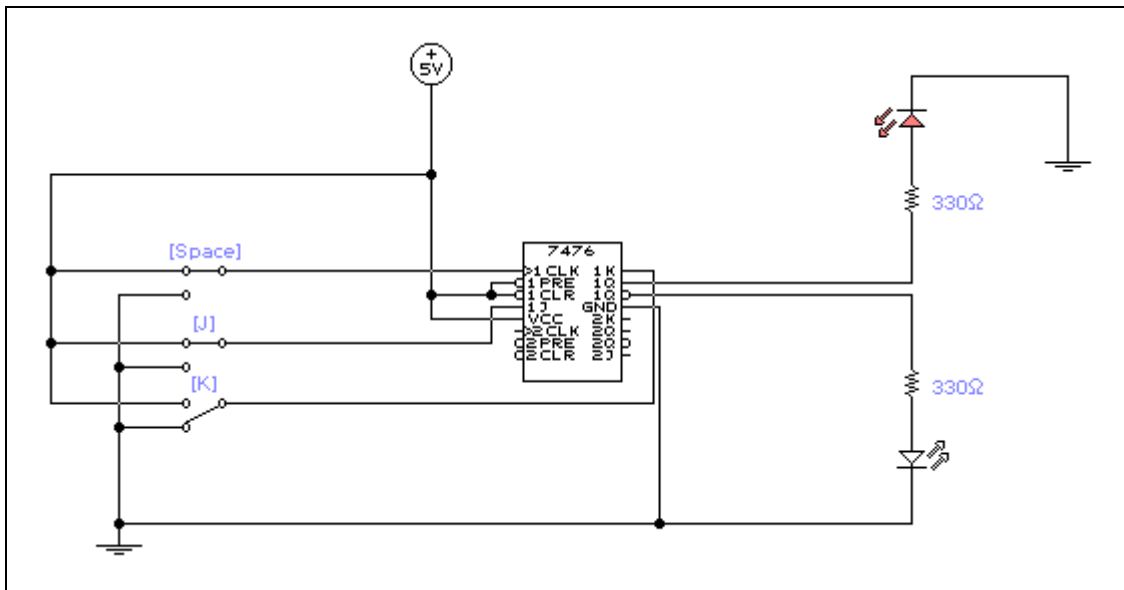


Verifica della tabella della verità di un Flip Flop JK



In questa esperienza abbiamo montato su bread-board il circuito in figura, utilizzando come da schema, un flip-flop JK. L' integrato utilizzato è il 7476, il più completo dei flip-flop. Infatti con questo integrato è possibile compiere tutte le funzioni svolte da un flip-flop. Il 7476 può infatti essere utilizzato, anche come un flip flop SR asincrono (cioè senza CLOCK). Ma la cosa più importante è che il FF JK risolve il problema della combinazione anomala di 11 in entrata, tipica del FF SR (flip flop Set- Reset).

Le uscite Q_n e $\overline{Q_n}$ vengono visualizzate mediante 2 diodi LED , inseriti in logica positiva.

Come possiamo vedere dallo schema, il flip-flop JK, presenta due ingressi in più chiamati PR (Preset) e CL (Clear), che prendono il nome di “ingressi asincroni di preassegnazione”. Vengono detti asincroni poiché il loro segnale è indipendente dal segnale di CLOCK.

- Se PR=CL=1 : gli ingressi PR e CL è come se non ci fossero.
- Se PR=0 ; CL=1 : il flip-flop si setta automaticamente, indipendentemente dalle combinazioni di entrata di J e K ($Q_n=1$)
- Se PR=1 ; CL=0 : il flip-flop si resetta automaticamente, indipendentemente dalle combinazioni di entrata di J e K ($Q_n=0$).

In questo caso PR e CL, sono direttamente collegati alla tensione di alimentazione (5V) , quindi è come se non ci fossero.

La tabella della verità da verificare è stata quindi la seguente:

| CK | J | K | Q_{n+1} | Commento |
|----|---|---|------------------|-------------------------------------|
| 0 | X | X | Q_n | L' integrato è disabilitato |
| ↑ | 0 | 0 | Q_n | L' uscita rimane com'è (memorizza) |
| ↑ | 0 | 1 | 0 | L' uscita viene portata a 0 (RESET) |
| ↑ | 1 | 0 | 1 | L' uscita viene portata ad 1 (SET) |
| ↑ | 1 | 1 | $\overline{Q_n}$ | L' uscita complementa di stato |

