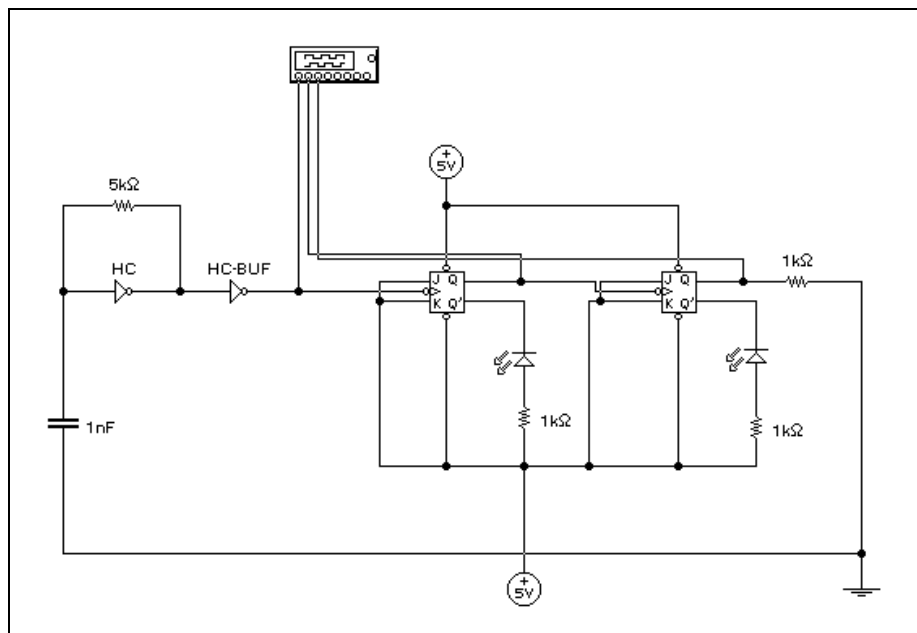


Circuito divisore di frequenza per due



In figura è esposto lo schema del circuito divisore di frequenza per due. Questo significa che in questo circuito entra un segnale che ha una certa frequenza e ne esce un altro che ha come valore di frequenza la metà del valore precedente. Il circuito è composto da un multivibratore astabile (che genera il segnale, di frequenza variabile a seconda dei valori che vogliamo assumere per il condensatore e per la resistenza posta in parallelo alla prima porta NOT CMOS) e due Flip-Flop JK collegati a cascata. L'uscita Q del primo si collega con l'entrata del CLOCK del secondo.

Per la realizzazione del circuito occorrono

- 1- condensatore da 1nF
- 1- resistore da 5 KΩ
- 3- resistori da 1KΩ
- 1- IC=7476 (2 Flip-Flop JK)
- 1- IC=74C14 (6 porte NOT a "trigger di Schmitt")
- 2-diodi LED

0

Nel riquadro in alto è riportata la simulazione del circuito con l' Electronic Workbench. I diodi LED (inseriti in logica negativa sull' uscita negata) servono a visualizzare il segnale in uscita sui due FF JK. Osservando i grafici che vengono composti dal "Logic Analyzer" risulta di facile comprensione che il segnale sul secondo LED risulta avere frequenza pari alla metà del primo LED. Il circuito si comporta quindi come divisore di frequenza.

Di seguito sono riportate le forme d' onda disegnate dal "Logic Analyzer":

