

MODULAZIONE CON PORTANTE NUMERICA Sistemi PCM

1. Introduzione

Si è più volte detto che lo scopo fondamentale delle telecomunicazioni è quello di trasmettere a distanza delle informazioni impiegando apparati e canali di comunicazioni che ottimizzano il rapporto costo/prestazioni. Inoltre, il segnale trasmesso deve giungere al ricevitore con il più basso contenuto di distorsione e rumore in modo che si possa ricostruire l'informazione originaria con la maggiore fedeltà possibile.

I segnali elettrici impiegati nelle trasmissioni sono o di tipo *analogico* o di tipo *digitale*. Un **segnale analogico** è rappresentato da una funzione continuità del tempo, come mostrato in fig.1.

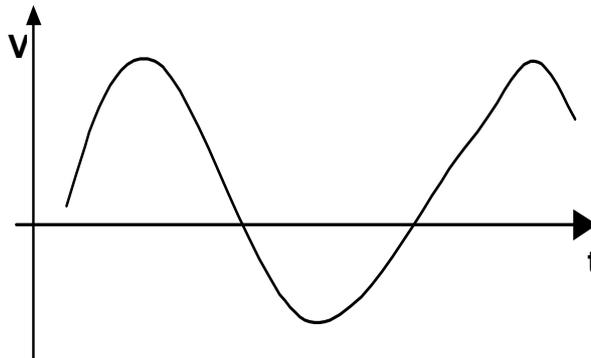


Fig.1 Rappresentazione temporale di un segnale analogico.

Il segnale analogico può assumere, in un generico istante di tempo t , uno qualunque degli infiniti valori entro il proprio campo di variabilità delle ampiezze.

Un esempio di segnale analogico è il segnale di tensione prodotto da un microfono quando è investito da un suono.

Un **segnale digitale**, detto anche **numerico** o **binario** o **discreto**, è rappresentato da una funzione del tempo che può assumere solo due valori denominati, rispettivamente, *livello basso* e *livello alto*. Il livello alto si indica con **H**, mentre quello basso con **L**.

La tensione associata a ciascun livello dipende dalla famiglia logica dei circuiti integrati che si utilizzano e dall'applicazione che si intende sviluppare. Ad esempio, i segnali digitali elaborati da un computer sono in logica TTL con livelli di tensione, tipici, di 0 V per rappresentare il livello basso e di 5 V per quello alto; mentre i segnali digitali,

trasmessi in forma seriale, dall'interfaccia RS232 di un computer valgono, tipicamente, -12 V per rappresentare il livello basso e +12 V per quello alto.

In fig.2 si mostra un tipico diagramma di tempificazione relativo ad un segnale digitale.

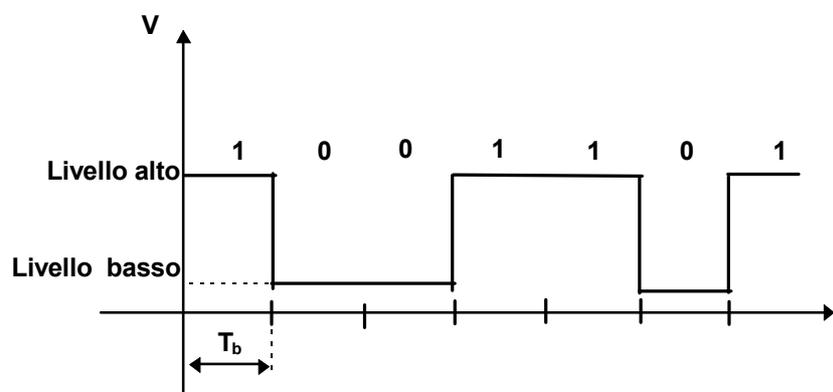


Fig.2 Diagramma di tempificazione di un segnale digitale.

Il segnale di fig.2 è in logica positiva poiché si è associato al livello logico 1 al valore di tensione maggiore e il livello logico 0 al valore di tensione inferiore. Inoltre, si è indicato con T_b la durata di ciascun bit. Nel caso in cui il segnale digitale è costituito da una alternanza di livelli 0 e 1 si parla di *onda quadra periodica* con periodo $T = 2 \cdot T_b$.

I segnali analogici sono molto sensibili ai fenomeni di *distorsione* e *rumore* che si manifestano durante la trasmissione. Tali fenomeni provocano variazioni nei livelli di tensione del segnale che deformano, in modo più o meno marcato, il segnale che si intende trasmettere. Al ricevitore giunge un segnale diverso da quello trasmesso.

I segnali digitali, per contro, sono meno sensibili alle distorsione e ai rumori. Un sistema di ricezione di tipo digitale deve solo riconoscere se il livello di tensione ricevuto, in un certo istante, è maggiore o minore di una prefissata tensione di soglia. Ad esempio, se la tensione di soglia è di 2.5 V un livello di tensione $V > 2.5$ V è riconosciuto sempre come livello alto. Pertanto, se il valore nominale del livello alto è $V_H = 5$ V ma, per una qualunque causa, giunge al ricevitore un segnale di 4 V ad esso sarà sempre attribuito lo stato logico alto $V_H = 5$ V indipendentemente dalla presenza del rumore. Ovviamente, anche per i sistemi digitali esiste un limite massimo per la distorsione e per il rumore oltre il quale non è possibile riconoscere correttamente lo stato logico del segnale.

In generale, comunque, i sistemi numerici sono da preferire a quelli analogici anche perché i circuiti elettronici di tipo digitale sono più semplici, più affidabili e meno costosi di quelli analogici. Inoltre, utilizzando tecniche numeriche è possibile impiegare sistemi informatici computerizzati in grado di soddisfare tutta una serie di servizi supplementari che migliorano e potenziano la trasmissione delle informazioni.

I moderni sistemi di comunicazione di fonia e di dati numerici sono realizzati tutti in tecnica digitale e i vecchi apparati analogici, ancora in uso, saranno entro breve termine sostituiti da sistemi digitali.

La *numerizzazione* dell'intera rete telefonica Italiana e mondiale consente l'introduzione di nuovi servizi telematici. Si pensi alla possibilità di video conferenze, trasmissioni di posta elettronica, possibilità di visitare con tecniche multimediali musei, ecc.

1.1 Campionamento di un segnale analogico

I primi studi sulla possibilità di digitalizzare segnali analogici e di impiegare tecniche numeriche nella trasmissione dei segnali telefonici risale alla fine degli anni '30 quando A.H.Reeves inventò il sistema di trasmissione di **Modulazione ad Impulsi Codificati PCM** (Pulse Code Modulation). Nello stesso periodo nei laboratori della Bell Telephon, negli Stati Uniti, numerosi scienziati, come Hartley, Nyquist, Pierce e Shannon, costruirono quel grande apparato teorico e sperimentale che ancora oggi è alla base delle più moderne tecniche di trasmissione numerica. In particolare nel 1948 Claude E. Shannon dimostrò un teorema noto, come **Teorema del campionamento**, che consente di stabilire sotto quali condizioni è possibile trasformare un segnale analogico in segnale numerico. Il teorema di Shannon afferma che assegnato un segnale analogico a spettro limitato e indicando con f_M la massima frequenza contenuta nel segnale, esso può essere completamente e perfettamente ricostruito con una serie di campioni della sua ampiezza rilevati ad uguali intervalli di tempo T_c . La *frequenza di campionamento* $f_c = 1/T_c$ deve essere almeno il doppio di f_M . In formule:

$$f_c \geq 2 \cdot f_M$$

In campo telefonico la *banda di fonia* è imposta da opportuni filtri di centrale che consentono il transito dei segnali solo se compresi entro la **banda netta** 300 ÷ 3400 Hz. Pertanto, per rispettare il teorema di Shannon il campionamento dei segnali di fonia deve essere fatto ad una frequenza: $f_c \geq 6.8$ KHz.

A livello internazionale si è scelta come **frequenza di campionamento telefonico** :

$$f_c = 8 \text{ KHz.} \quad (1)$$

Un segnale fonico potrà essere perfettamente ricostruito se si dispone di almeno 8000 campioni al secondo.

L'*intervallo di campionamento* $T_c = 1/f_c$ risulta :

$$T_c = 125 \text{ } \mu\text{sec}$$

La tecnica del campionamento è impiegata, oltre che in telefonia, in numerosi altri campi. Ad esempio, nel cinematografo si ha la proiezione di 16 fotogrammi al secondo prelevati dalla cinepresa che si comporta da campionatore. Il numero di fotogrammi proiettati è tale da consentire all'occhio di non "vedere" le singole discontinuità. Se però la rapidità del fenomeno ripreso è elevata la ricostruzione risulta deformata. E' questo il caso della ripresa di una ruota che gira ad elevata velocità che appare sullo schermo o ferma o ruotare in senso inverso. Tale deformazione è nota come *fenomeno di aliasing*.

In telefonia, oltre alla banda netta, 300 ÷ 3400 Hz, si definisce anche una **banda lorda** $B = 0 \div 4$ KHz.

Tale banda contiene quella netta e presenta una interbanda di 600 Hz, tra 3400 Hz e 4000 Hz. Tale interbanda non solo è indispensabile per soddisfare le richieste del teorema di Shannon ma è anche utilizzata nelle centrali analogiche (ormai obsolete) per trasmettere i criteri di **segnalazione**. Per segnalazione si intende l'insieme delle informazioni (sgancio, invio del numero telefonico, segnalazione di utente occupato, ecc.) scambiate tra utente e centrale e tra centrale e centrale al fine di stabilire e segnalare lo stato del collegamento telefonico.

Ad esempio, negli apparati di trasmissione FDM i criteri di segnalazione sono generati come modulazione di un segnale a 3825 Hz che cade nella banda lorda 0 ÷ 4 KHz ma non disturba l'informazione di fonia confinata tra 300 e 3400 Hz.

Per convenzione lo spettro in frequenza dei segnali fonici è indicato con un triangolo rettangolo come mostrato in fig.3. La zona ombreggiata rappresenta la banda netta.

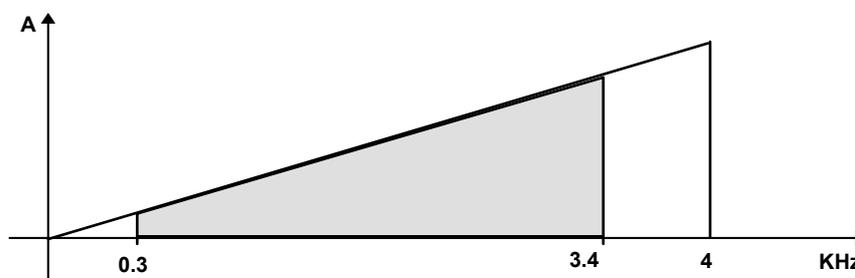


Fig.3 Spettro infrequenza convenzionale di un segnale di fonia.

In questo capitolo, oltre alla modulazione PCM, fondamentale nelle attuali tecniche di trasmissione numerica, si darà un cenno anche ad altri tipi di modulazioni impulsive. Tali modulazioni sono caratterizzate dall'aver come segnale **portante** un treno di impulsi di opportuna frequenza. Il segnale **modulante**, che costituisce l'informazione da trasmettere, modifica una delle caratteristiche elettriche della portante.

Le modulazioni impulsive di utilizzo pratico si dividono:

1. Modulazioni non codificate:

- **PAM Pulse Amplitude Modulation.** L'ampiezza degli impulsi del segnale portante varia in modo proporzionale a quella del segnale modulante.
- **PWM Pulse Width Modulation.** La durata degli impulsi del segnale portante varia in modo proporzionale all'ampiezza del segnale modulante.
- **PPM Pulse Position Modulation.** La posizione temporale degli impulsi del segnale portante varia in modo proporzionale all'ampiezza del segnale modulante.

2. Modulazioni codificate:

- **PCM Pulse Code Modulation.** Il segnale trasmesso è una sequenza di pacchetti di 8 bit, opportunamente tempificati, il cui codice binario fornisce l'ampiezza del segnale modulante.
- **DM Delta Modulation.** La trasmissione consiste di una sequenza di impulsi digitale positivi se l'ampiezza del segnale modulante è crescente, negativi se l'ampiezza del segnale modulante è decrescente.

1.2. Teorema del campionamento di Shannon

In questo paragrafo si vuole fornire una giustificazione analitica del teorema di Shannon. Il campionamento di un segnale analogico $v(t)$ a banda limitata $B = f_M$ può

essere interpretato come il prodotto del segnale $v(t)$ per un *segnale campionatore* $v_c(t)$ impulsivo, di ampiezza unitaria e frequenza $f_c = 1/T_c$. Il risultato del campionamento è un segnale $v_o(t)$ di tipo impulsivo con ampiezze pari a quelle che il segnale $v(t)$ assume negli istanti di campionamento.

In fig.4 si riporta la rappresentazione schematica del processo del campionamento.

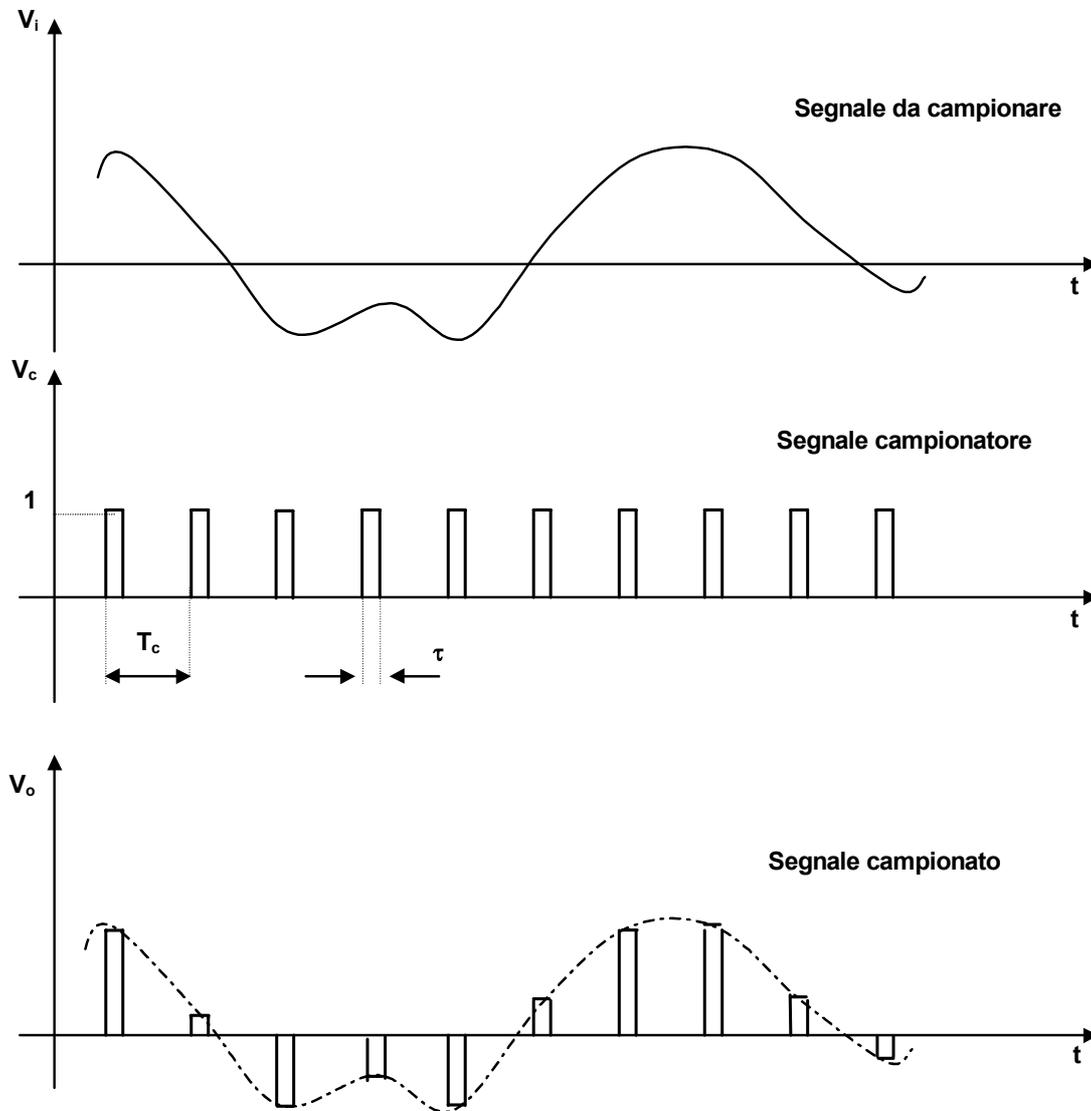


Fig.4 Campionamento di un segnale analogico.

Nella fig.4 la linea tratteggiata rappresenta l'involuppo delle ampiezze degli impulsi del segnale campionato. Si deduce, immediatamente, che tale involuppo costituisce la ricostruzione dell'informazione analogica che si intende trasmettere.

Il segnale campionatore $v_c(t)$ è caratterizzato da un duty-cycle :

$$D = \frac{\tau}{T_c} \quad (2)$$

Si suppone $\tau \ll T_c$ in modo da poter considerare costante l'ampiezza del segnale campionato $v_o(t)$ durante l'intervallo di tempo τ . Il segnale impulsivo campionatore $v_c(t)$, può essere sviluppato in serie di Fourier secondo la seguente relazione:

$$v(t) = A \cdot D + 2A \cdot D \cdot \sum_{n=1}^{\infty} \left[\left(\frac{\text{sen } n\pi D}{n\pi D} \right) \cdot \cos n\omega_c t \right] \quad (3)$$

Dove A indica l'ampiezza degli impulsi del segnale campionario che, nel caso in esame, è $A = 1$.

Nell'ipotesi che il segnale da campionare $v(t)$ sia di tipo sinusoidale si può scrivere:

$$v(t) = V_m \cdot \cos \omega_m t \quad (4)$$

Il segnale campionato $V_o(t)$ si ottiene moltiplicando la (3) per la (4), assumendo $A = 1$:

$$v_o(t) = v(t) \cdot v_c(t) = V_m \cdot \cos \omega_m t \cdot \left\{ D + 2D \cdot \sum_{n=1}^{\infty} \left[\left(\frac{\text{sen } n\pi D}{n\pi D} \right) \cdot \cos n\omega_c t \right] \right\} \quad (5)$$

Considerando solo le prime armoniche dello sviluppo di Fourier, la precedente relazione diventa.

$$\begin{aligned} v_o(t) = & D \cdot V_m \cdot \cos \omega_m t + 2D \cdot V_m \frac{\text{sen } \pi D}{\pi D} \cdot \cos \omega_c t \cdot \cos \omega_m t + \\ & + 2D \cdot V_m \frac{\text{sen } 2\pi D}{2\pi D} \cdot \cos 2\omega_c t \cdot \cos \omega_m t + \dots \end{aligned} \quad (6)$$

Applicando la formula di Werner: $\cos\alpha \cdot \cos\beta = \frac{\cos(\alpha - \beta) + \cos(\alpha + \beta)}{2}$, la precedente relazione diventa:

$$\begin{aligned} v_o(t) = & A_0 \cdot \cos \omega_m t + \frac{A_1}{2} \left[\cos(\omega_c - \omega_m)t + \cos(\omega_c + \omega_m)t \right] + \\ & + \frac{A_2}{2} \left[\cos(2\omega_c - \omega_m)t + \cos(2\omega_c + \omega_m)t \right] + \end{aligned} \quad (7)$$

dove si è posto: $A_0 = D \cdot V_m = \tau \cdot V_m / T_c$

$$A_1 = 2D \cdot V_m \cdot \frac{\text{sen } \pi D}{\pi D}$$

$$A_2 = 2D \cdot V_m \cdot \frac{\text{sen } 2\pi D}{2\pi D}$$

In fig.5 si riporta lo spettro in frequenza del segnale campionato $v_o(t)$ relativo alle prime armoniche dello sviluppo di Fourier.

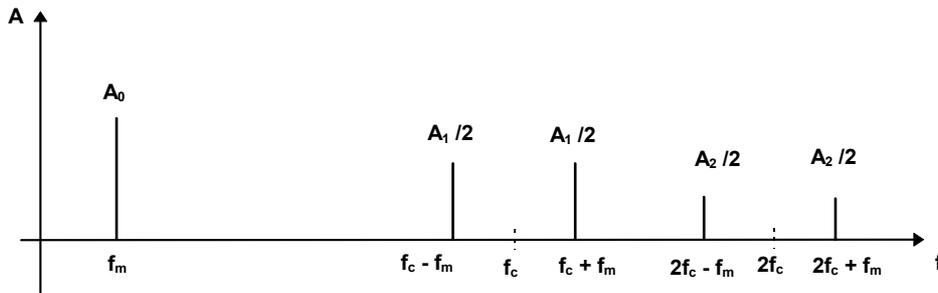


Fig.5 Spettro in frequenza di un segnale campionato.

Si osservi che l'ampiezza delle armoniche, a parità di T_c , è tanto più piccola quanto più piccolo è l'intervallo di campionamento τ .

L'analisi svolta ci dice che il segnale campionato $v_o(t)$ trasporta con sé l'informazione relativa al segnale $v(t)$ con l'aggiunta di una serie di armoniche centrate intorno alle frequenze $f_c, 2f_c$, ecc. Inoltre, si ricava che le ampiezze delle armoniche non sono costanti ma dipendono dai valori della funzione: $\frac{\text{sen } n\pi D}{n\pi D}$ per $n = 1, 2, 3, \dots$

Si può dimostrare che se il segnale campionario fosse costituito da un insieme di impulsi di Dirac (impulsi ideali di durata $\tau = 0$) a frequenza f_c lo spettro in frequenza sarebbe analogo a quello di fig.5 con la sola differenza che l'ampiezza delle armoniche risulterebbe costante: $A_0 = A_1 = A_2 = \dots = \frac{V_m \cdot f_c}{2}$.

Il campionamento istantaneo, con $\tau = 0$, riveste una importanza teorica nello studio delle trasmissioni dei segnali impulsivi ma da un punto di vista pratico è impossibile realizzare dispositivi elettronici con tempi di commutazione nulli. Come si vedrà nel seguito la durata degli impulsi di campionamento è scelta in base a diversi compromessi; tipicamente $\tau \cong T_c/100$.

Se il segnale analogico da campionare $v(t)$ è costituito da un generico segnale periodico, come quello vocale, esso è scomponibile per il teorema di Fourier in una serie di armoniche ad ognuna delle quali è applicabile la (7). Nel caso di segnale fonico con spettro in frequenza del tipo di fig.3, lo spettro del segnale campionato a frequenza f_c sarà come quello di fig.6.

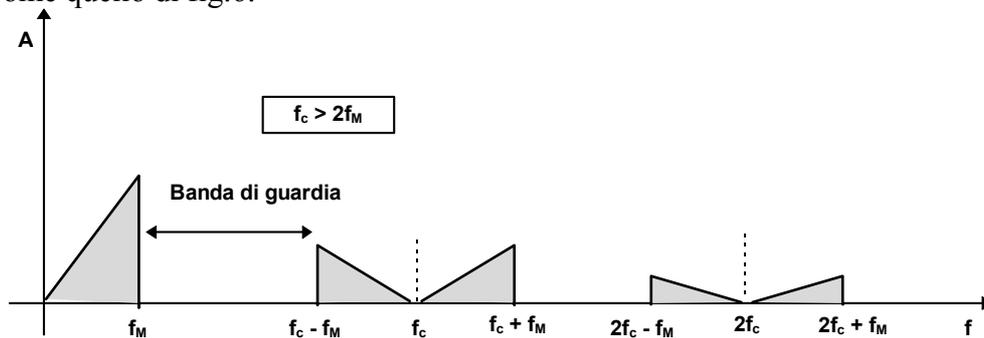
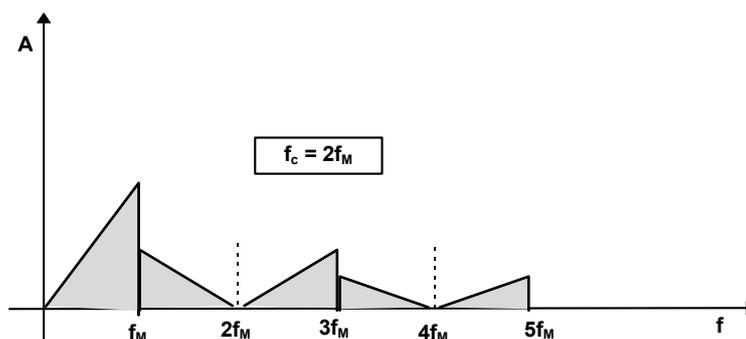
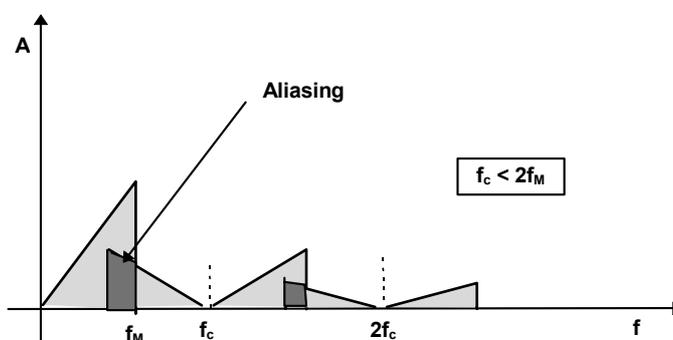


Fig.6a) Spettro in frequenza di un segnale analogico campionato con $f_c > 2f_m$.

Fig.6b) Spettro in frequenza di un segnale analogico campionato con $f_c = 2f_M$.Fig.6c) Spettro in frequenza di un segnale analogico campionato con $f_c < 2f_M$.

Dalla fig.6a) si evince, immediatamente, che è possibile il recupero completo del segnale analogico solo se non si hanno sovrapposizioni delle varie bande di frequenza. Ciò si verifica se esiste una banda di guardia diversa da zero :

$$(f_c - f_M) - f_M > 0$$

da cui si ricava :

$$f_c > 2 \cdot f_M \quad (8)$$

La precedente relazione costituisce il teorema di Shannon che si voleva dimostrare.

La ricostruzione del segnale analogico originale si ottiene inserendo, nell'apparato ricevente, un opportuno filtro passa-basso in grado di lasciar passare solo la banda di frequenza $0 \div f_M$. Inoltre, è necessario l'impiego di un amplificatore in quanto, come indicato dalla (7), il processo di quantizzazione comporta una riduzione dell'ampiezza delle armoniche proporzionale all'intervallo di campionamento τ .

Nel caso della fig. 6b) la ricostruzione del segnale analogico richiede l'uso di un filtro passa-basso ideale; cosa irrealizzabile nella pratica.

Se nella (8) si pone la condizione di uguaglianza la frequenza corrispondente è indicata con $f_N = 2 \cdot f_m$ ed è detta *frequenza di Nyquist*.

Se la frequenza di campionamento è minore di quella di Nyquist, fig.6c), il teorema di Shannon non è rispettato, si verifica una sovrapposizione delle varie bande nello spettro

in frequenza che non consente il recupero dell'informazione analogica originale. La conseguente distorsione è detta **folden distorsion** o anche fenomeno di **aliasing** (frequenze fantasma).

Per concludere è importante fare la seguente considerazione: Il teorema di Shannon stabilisce che per ricostruire un segnale analogico è necessario solo che ci sia una banda di guardia diversa da zero, come mostrato in fig.6a). Pertanto, non ha alcun senso aumentare la frequenza di campionamento oltre il necessario in quanto ciò non comporta nessun miglioramento nel recupero dell'informazione analogica. Anzi, come vedremo nel seguito a proposito della moltiplicazione di segnali PCM, un aumento della frequenza di campionamento riduce il tempo a disposizione T_c tra due campioni successivi rendendo più problematica la moltiplicazione di più informazioni sullo stesso canale fisico.

2. Modulazione PAM

La modulazione PAM, **Pulse Amplitude Modulation**, è un caso particolare di modulazione di ampiezza che sfrutta completamente i risultati del teorema del campionamento. Nella tecnica PAM il *segnale modulante* è l'informazione analogica $v(t)$ che si vuole trasmettere, mentre la *portante* è costituita dal segnale impulsivo a frequenza f_c . Con la modulazione PAM è possibile trasformare un *segnale continuo* $v(t)$ in un segnale *discreto* $v_o(t)$ nel *tempo* ma ancora *analogico* nelle *ampiezze*.

Le forme d'onda e la spettro in frequenza di una segnale PAM sono perfettamente analoghe a quelle riportate in fig.5 e fig.6.

Nel paragrafo precedente si è verificato che, se soddisfatto il teorema di Shannon, è possibile il recupero del segnale analogico originale purché il ricevitore contenga un filtro passa-basso che lasci passare solo lo spettro di $v(t)$.

In fig.7 si riporta lo spettro di frequenza del segnale PAM con sovrapposta la curva di risposta del filtro passa-basso di ricostruzione del segnale analogico.

Nella pratica i filtri impiegati per la ricostruzione del segnale analogico sono di tipo passa-basso di Butterworth di ordine superiore; tipicamente del secondo o del quarto ordine.

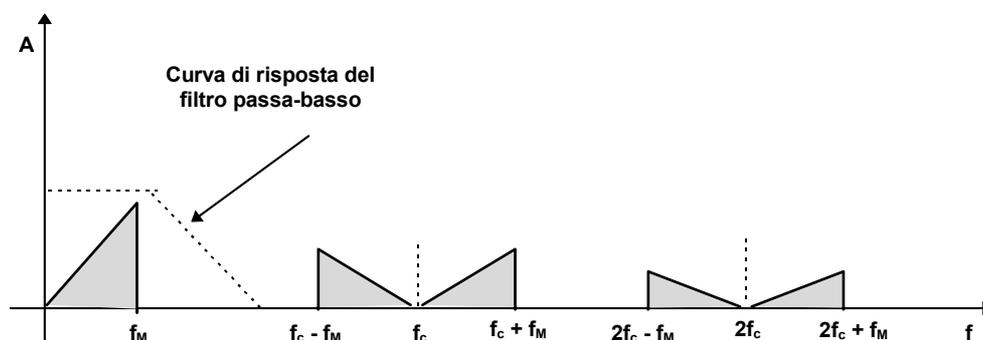


Fig.7 Spettro in frequenza del segnale PAM.

Si vuole sottolineare che l'ipotesi fondamentale del teorema di Shannon è che il segnale da campionare $v(t)$ sia a spettro limitato con frequenza massima f_M . Ciò impone una limitazione della banda prima che si effettui la modulazione PAM. Tale limitazione di

banda si ottiene impiegando un *filtro passa-basso di precampionamento* che lasci passare solo i segnali a frequenza compresa tra $0 \div f_M$.

In fig.8 si riporta lo schema di principio di un sistema di trasmissione con modulazione PAM.

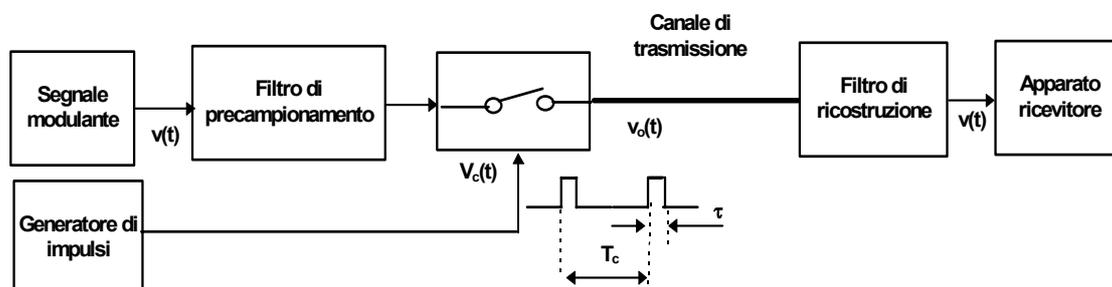


Fig.8 Schema a blocchi di un sistema di trasmissione PAM.

Il segnale di campionamento v_c , comanda l'apertura e la chiusura dell'interruttore analogico.

Il funzionamento del circuito è molto semplice e si può così riassumere:

Nell'intervallo di tempo τ in cui l'interruttore è chiuso il segnale di uscita $v_o(t) = v(t)$, mentre quando l'interruttore è aperto $v_o(t) = 0$. Per un corretto funzionamento del circuito il segnale di campionamento deve rispettare le seguenti esigenze:

- La frequenza di campionamento f_c deve soddisfare il teorema di Shannon, per cui se $V(t)$ è un segnale periodico a spettro limitato con frequenza massima f_M allora f_c deve essere almeno il doppio di f_M ;
- la durata di ciascun impulso di campionamento τ deve essere molto più piccolo del periodo di campionamento T_c . Teoricamente τ deve essere nullo (campionamento istantaneo).

Gli apparati telefonici reali operano con i seguenti valori stabiliti da norme internazionali:

$$f_c = 8 \text{ KHz} ; \quad T_c = 125 \text{ } \mu\text{sec} ; \quad \tau = 2 \text{ } \mu\text{sec}.$$

Il valore della frequenza di campionamento è stato scelto a 8 KHz poiché, come più volte detto, la banda telefonica netta è compresa tra 300 e 3400 Hz.

Il valore dell'intervallo di campionamento $\tau = 2 \text{ } \mu\text{sec}$, è il risultato di un compromesso tra il campionamento ideale istantaneo e quello reale.

Si può facilmente verificare che la variazione Δv del segnale modulante è, praticamente, trascurabile nell'intervallo di campionamento $\tau = 2 \text{ } \mu\text{sec}$ per cui è lecito assumere $v(t)$ costante durante tale intervallo.

Infatti, nell'ipotesi di segnale modulante sinusoidale $v(t) = V_M \cdot \sin \omega t$ la variazione Δv nel tempo τ , vale :

$$\Delta v = \tau \cdot \frac{dv(t)}{dt} = \tau \omega V_M \cdot \cos \omega t$$

Il valore massimo di Δv si ottiene ponendo $f = f_M$ e $\cos \omega t = 1$. In tali ipotesi la variazione relativa vale :

$$\frac{(\Delta v)_{\max}}{V_M} = 2\pi f_M \cdot \tau$$

Posto $f_M = 4 \text{ KHz}$ e $\tau = 2 \text{ } \mu\text{sec}$, si ha :

$$\frac{(\Delta v)_{\max}}{V_M} = 50.24 \cdot 10^{-3} ; \quad \text{in percentuale } \frac{(\Delta v)_{\max}}{V_M} \% = 5\%$$

Tenendo conto, inoltre, che il maggior contenuto energetico del segnale fonico è dovuto alle armoniche intorno alla frequenza di 1 KHz, si deduce che la variazione percentuale si attesta intorno all'1%, valore sicuramente adeguato ai fini della fedeltà e della intelligibilità della riproduzione del segnale fonico.

3. Modulazione PCM

La modulazione PCM (Pulse Code Modulation) è sicuramente la tecnica più utilizzata per la trasmissione delle informazioni telefoniche. La tecnica PCM ha soppiantato completamente i sistemi di trasmissione analogica e in un prossimo futuro tutti i collegamenti sia di fonia che di dati numerici impiegheranno tale modulazione.

Per ottenere un segnale numerico PCM, partendo da un segnale di fonia, è necessario rendere il segnale analogico discreto sia nel tempo che nelle ampiezze.

La modulazione PAM, descritta nel precedente paragrafo, fornisce un segnale campionato discreto nel tempo ma non nelle ampiezze. Infatti i campioni PAM sono impulsi di ampiezza proporzionale a quella dell'informazione analogica che si intende trasmettere. Per ottenere la discretizzazione nelle ampiezze o **quantizzazione** è necessario associare ad ogni campione PAM un numero binario la cui codifica rappresenta l'ampiezza del campione PAM. In questo modo sui mezzi trasmissivi viaggiano segnali numerici costituiti da impulsi a due livelli 0 e 1. Il numero di bit assegnato per la codifica è stato fissato da norme internazionali a 8 bit, mentre il tipo di codice impiegato dipende dalla natura del canale di comunicazione e dalla velocità di trasmissione. Il bit più significativo del codice indica la polarità del campione PAM mentre gli altri 7 bit realizzano discretizzazione dell'ampiezza in $2^7 = 128$ livelli.

Per poter fare uso dei normali canali di comunicazione (cavi in rame, fibre ottiche, ecc.) gli 8 bit di codice sono inviati sul mezzo trasmissivo in forma seriale.

Essendo la frequenza di campionamento del segnale telefonico di $f_c = 8 \text{ KHz}$, la velocità di trasmissione del segnale numerico PCM a 8 bit risulta:

$$V = 64 \text{ Kbit/sec}$$

In fig.9 si mostra lo schema a blocchi di un modulatore-demodulatore PCM.

Il blocco denominato PISO (Parallel Input Serial Output) ha il compito di convertire in seriale il dato binario a 8 bit fornito dal convertitore ADC (Analog to Digital Converter).

L'operazione di conversione da analogico a digitale del segnale PAM si può pensare realizzata in due fasi logicamente distinte tra loro : la **quantizzazione** e la **codifica**.

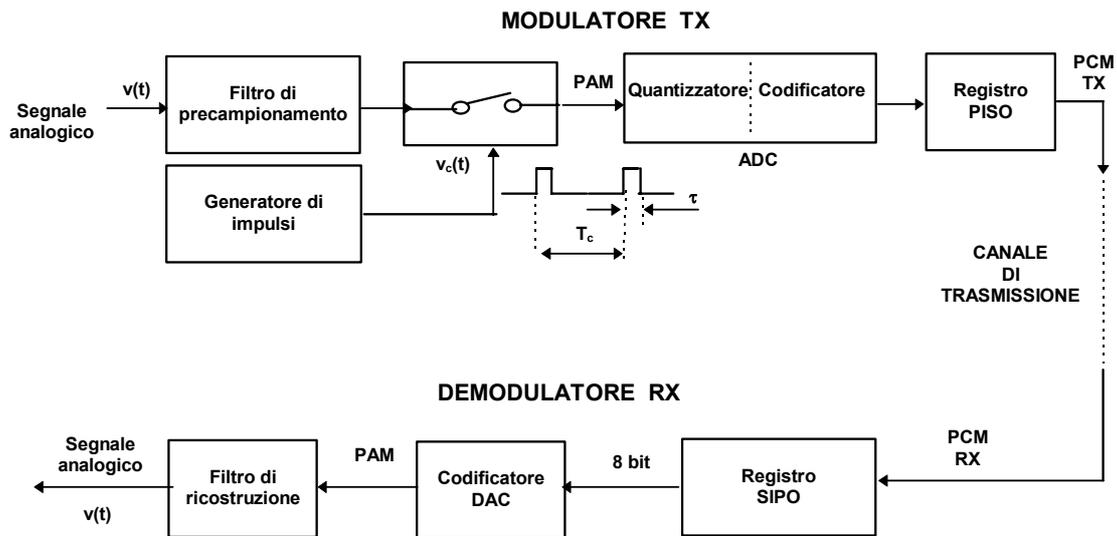


Fig.9 Modulatore-Demodulatore PCM

Poiché il modulatore PCM deve quantizzare le ampiezze del segnale PAM è necessario che la durata degli impulsi di campionamento τ sia tale da consentire la corretta conversione analogico-digitale. E' noto, infatti, che un convertitore ADC necessita di un proprio *tempo di conversione* t_c funzione della tecnologia costruttiva e del metodo impiegato per la conversione. Inoltre, è necessario che il segnale analogico mantenga costante la propria ampiezza durante il tempo di conversione. Tali richieste sono soddisfatte da un circuito campionatore di tipo *Sample-Hold (Campiona-Mantiene)* il cui schema elettrico è mostrato in fig.10.

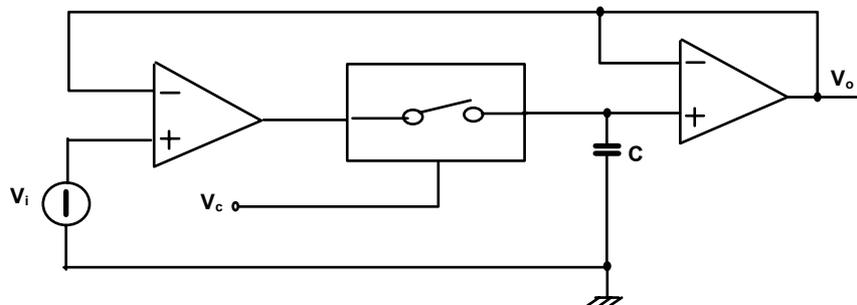


Fig.10 Circuito Sample-Hold.

Analizzando la fig.10 si ricava che quando l'interruttore elettronico, interno al modulo sample-hold, è chiuso l'uscita $V_o(t) = V_i(t)$ e il circuito è in fase di *sample*. Nell'istante in cui l'interruttore si apre la tensione ai capi del condensatore mantiene memorizzato il valore istantaneo della $V_i(t)$ poiché il condensatore non può scaricarsi essendo isolato da un lato dall'impedenza di ingresso dell'operazionale, praticamente infinita, dall'altro dall'interruttore aperto. E' questa la fase di *hold* in cui la tensione di uscita $v_o(t)$, coincidente con quella presente ai capi del condensatore, è mantenuta costante per tutto il tempo in cui l'interruttore elettronico è aperto. In realtà il condensatore tende a scaricarsi seppur lentamente. Per ottenere una scarica lenta si deve scegliere un condensatore di grossa capacità che però rende lunga la risposta al transitorio che si manifesta quando l'interruttore cambia stato. Una capacità di piccolo valore, d'altra parte, rende rapido sia il transitorio di commutazione che la scarica del condensatore.

Come al solito la capacità C viene scelta in base ad un compromesso. Valori tipici sono intorno a qualche nF. I circuiti Sample-Hold sono disponibili in forma integrata ; un esempio di tale dispositivo è il modello LF398 della National. Come vedremo nel seguito, nei sistemi PCM commerciali, il modulo Sample-Hold è incorporato in un unico circuito integrato che svolge tutte le funzioni richieste dalla modulazione PCM.

L'apparato ricevente PCM, denominato **Demodulatore** deve svolgere delle operazioni complementari a quelle del modulatore.

Il registro SIPO (Serial Input Parallel Output) trasforma il segnale PCM in un dato numerico a 8 bit che è trasformato in impulsi PAM dal convertitore DAC (Digital to Analog Converter). Il segnale PAM è, quindi, demodulato in ampiezza attraverso il filtro passa-basso di ricostruzione che restituisce il segnale analogico $v(t)$.

4. Numero di bit per la codifica di un sistema PCM

Ricordiamo che il segnale PAM è un segnale discreto nel tempo ma non nelle ampiezze. L'operazione che rende discrete le ampiezze del segnale PAM è la *quantizzazione*. Le ampiezze del segnale PAM possono assumere, nell'intervallo di lavoro, infiniti valori di tensione mentre i valori numerici in uscita dal codificatore sono soltanto $2^8 = 256$. In un sistema di conversione unipolare le 256 combinazioni rappresentano tutti i numeri interi compresi tra 0 (00000000) e 255 (11111111).

Nel caso di un sistema bipolare il bit più significativo indica la polarità del segnale analogico (0 segnali positivi, 1 segnali negativi) mentre gli altri 7 bit codificano l'ampiezza del segnale.

Nel processo di conversione dalla forma analogica a quella numerica si commette inevitabilmente un errore denominato *quanto* q . Il quanto rappresenta la minima variazione della tensione analogica necessaria a produrre un incremento (o un decremento) unitario del codice binario. In fig.11 si mostra lo schema a blocchi e la caratteristica di trasferimento di un convertitore ADC unipolare.

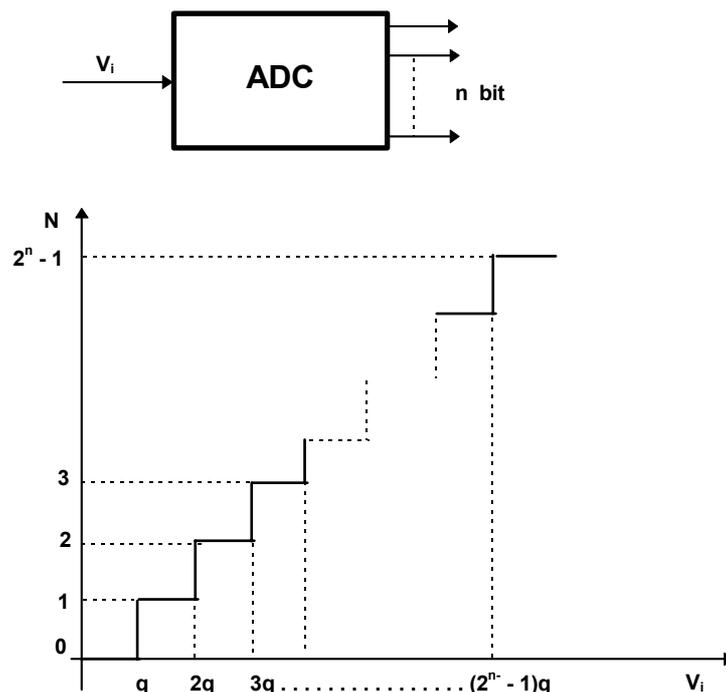


fig.11 Schema a blocchi e caratteristica di trasferimento di un convertitore ADC.

Dalla fig.11 si ricava che variazioni di tensione di ingresso comprese tra:

$$K \cdot q < V_i < (K + 1) \cdot q \quad ; \text{con } K = 0, 1, 2, \dots$$

lasciano inalterato il codice binario di uscita.

La relazione tra tensione di ingresso V_i e il corrispondente codice decimale N associato al numero binario a n bit, si può porre nella forma:

$$V_i = q \cdot N \quad ; \text{con } D \text{ compreso tra } 0 \text{ e } 2^n - 1.$$

Ad esempio se il quanto $q = 1 \text{ mV}$, e il numero di bit è $n = 8$, l'uscita può assumere solo 256 valori compresi tra $N = 0 \div 255$. La corrispondente tensione di ingresso è compresa tra 0 e 255 mV.

In generale, la tensione di entrata $V_{i\max}$ a cui corrisponde il massimo numero binario a n bit è:

$$V_{i\max} = (2^n - 1) \cdot q$$

Si definisce valore di *fondo scala* V_{FS} del convertitore ADC la quantità:

$$V_{FS} = q \cdot 2^n$$

Nella pratica essendo $q \ll V_{FS}$, si può assumere $V_{i\max} = V_{FS}$.

Il valore di fondo scala V_{FS} e il numero di bit n sono i dati caratteristici del convertitore ADC.

Un altro parametro caratteristico di un ADC è la **gamma dinamica DR** (Dynamic Range) espressa dalla seguente relazione:

$$(DR)_{dB} = 20 \cdot \text{Log} 2^n = 20n \cdot \text{Log} 2 = 6.02 \cdot n \quad [dB] \quad (9)$$

La precedente formula consente di calcolare il numero di bit necessari per coprire l'intera gamma dinamica di un segnale analogico.

Nel caso dei segnali telefonici la gamma dinamica, è compresa teoricamente tra -65 dBmo e +3 dBmo. Si ricordi che il livello di potenza espresso in dBmo indica che la misura è riferita all'origine del collegamento e che il parlatore medio è caratterizzato da un livello di circa -15 dBmo.

La gamma dinamica di un sistema telefonico vale:

$$3 - (-65) = 68 \text{ dBmo}$$

Per valutare il numero di bit del convertitore ADC si deve applicare la (9), si ha:

$$6.02 \cdot n = 68$$

da cui si ricava:

$$n = 12 \text{ bit}$$

Pertanto, a parità di altre condizioni, se si impiega un convertitore ADC a 12 bit si soddisfa completamente il problema della conversione del segnale PAM in segnale

numerico PCM con un una risoluzione sicuramente soddisfacente ai fini della intelligibilità del segnale trasmesso. Una conversione a 12 bit risulta eccessiva ai fini pratici poiché, come vedremo nel seguito, si avrebbe da un lato un inutile incremento del rapporto segnale/rumore agli alti livelli del segnale analogico e dall'altro, un aumento del numero di bit da trasmettere in linea. Quest'ultimo effetto produrrebbe un aumento della velocità di trasmissione del segnale numerico e, a parità di banda del canale trasmissivo, una minore possibilità di moltiplicare più canali nello stesso mezzo fisico.

Il solito compromesso tra costo degli impianti e qualità del servizio hanno indotto gli organismi internazionali a fissare ad 8 il numero di bit della codifica dei sistemi PCM.

5. Quantizzazione lineare

La conversione analogico-digitale, realizzata dal convertitore ADC, richiede due fasi logiche distinte tra loro: la *quantizzazione* e la *codifica*. La prima, realizzata dal *quantizzatore*, consente di rendere *discrete* la ampiezze del segnale PAM in $2^8 = 256$ livelli distinti, la seconda, realizzata dal *codificatore*, associa ad ogni livello un codice binario a 8 bit.

Una quantizzazione si dice **lineare** o **uniforme** se esiste una relazione di diretta proporzionalità tra ampiezza del campione PAM e livello restituito dal quantizzatore.

In fig.12 si mostra graficamente come avviene la quantizzazione del segnale PAM.

I valori numerici indicati non corrispondono a quelli reali ma hanno solo una funzione esplicativa.

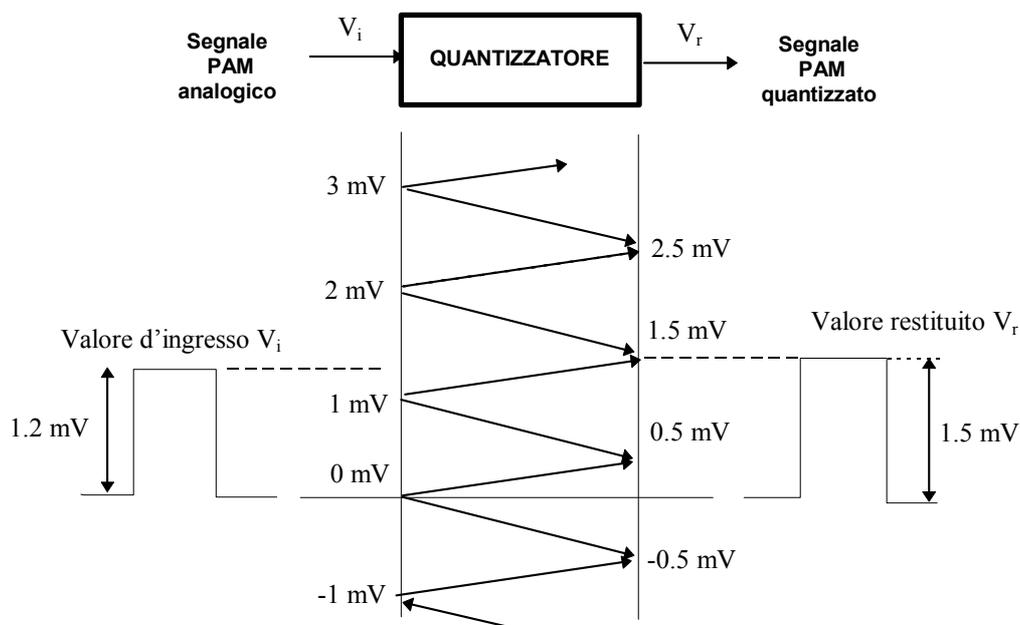


Fig.12 Quantizzazione di un segnale PAM.

Il quantizzatore riportato in fig.12 è di tipo bipolare ed è caratterizzato da una risoluzione $q = 1\text{ mV}$. Pertanto, un segnale di ingresso, ad esempio, di 1.2 mV , compreso tra 1 mV e 2 mV è quantizzato in un segnale impulsivo di 1.5 mV .

Se indichiamo con V_i il segnale di ingresso al quantizzatore e con V_r quello restituito in uscita, l'**errore di quantizzazione** ε vale:

$$\varepsilon = V_r - V_i \quad (10)$$

L'errore massimo di quantizzazione vale, ovviamente:

$$\varepsilon = \pm \frac{q}{2}$$

Si definisce **errore relativo percentuale di quantizzazione** $\varepsilon\%$, la quantità:

$$\varepsilon\% = \frac{V_r - V_i}{V_r} = \frac{\varepsilon}{V_i}\% \quad (11)$$

La precedente relazione mostra come l'errore di quantizzazione percentuale non è uniforme su tutta la gamma dei valori analogici ammessi, ma dipende dall'ampiezza del segnale da campionare. In particolare tale errore decresce all'aumentare dell'ampiezza del segnale V_i .

In fig.13 si riporta la caratteristica di trasferimento del *quantizzatore non silenziato* in esame insieme all'andamento dell'errore di quantizzazione in funzione di V_i .

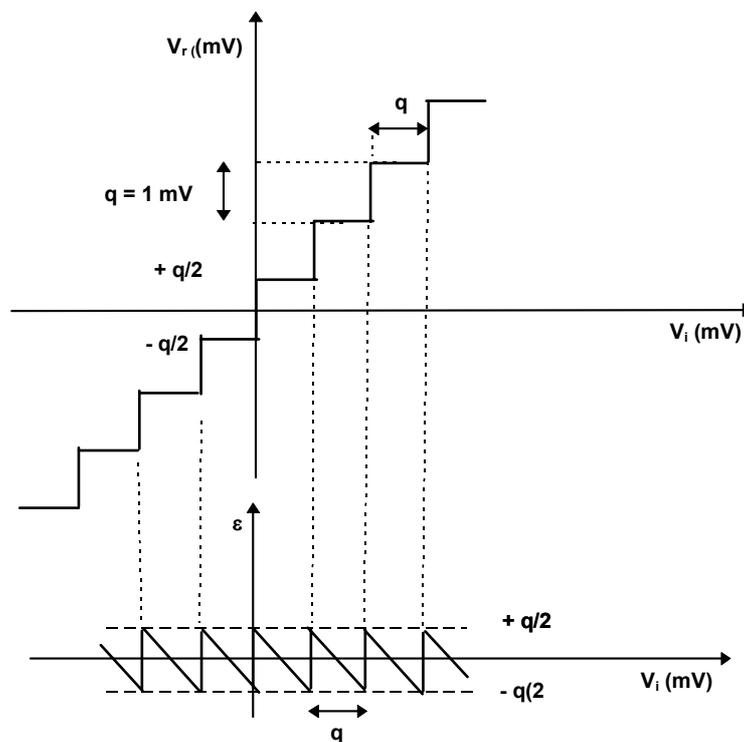


Fig.13 Caratteristica di trasferimento di quantizzazione non silenziato.

La denominazione di quantizzatore *non silenziato* deriva dal fatto che il livello di restituzione V_r è diverso da zero nel caso di segnali PAM con ampiezza compresa entro $\pm q$.

In fig.14 si mostra la caratteristica di trasferimento di un *quantizzatore silenziato*.

Nel quantizzatore silenziato i livelli PAM compresi tra $\pm q/2$ sono restituiti come livello $V_r = 0$. Tale quantizzatore risulta immune ai rumori di fondo e agli effetti di diafonia di ampiezza V_i minore di mezzo quanto. Per contro introduce un fastidioso effetto di granulosità nel segnale fonico ricevuto che può incidere sulla comprensione della comunicazione. Per tali motivi nella pratica si utilizza il quantizzatore non silenziato che, anche se più sensibile ai rumori di fondo, fornisce, complessivamente un segnale più gradevole e più intelligibile.

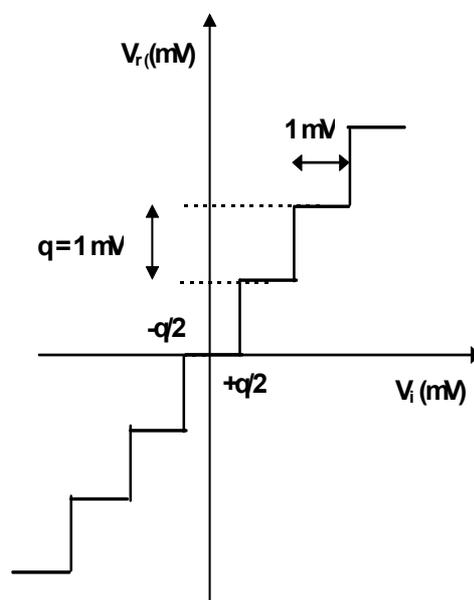


Fig14 Caratteristica di trasferimento di un quantizzatore silenziato.

In tutti i casi, l'errore di quantizzazione ε è assimilabile ad un segnale a dente di sega con valore di picco pari a $q/2$.

Per poter valutare il rapporto Segnale/Rumore S/N introdotto dal quantizzatore è necessario determinare il **rumore di quantizzazione** N_q . Tale rumore si calcola come valore efficace del segnale a dente di sega mostrato in fig.14. Si ricava:

$$N_q = \frac{q}{2\sqrt{3}} \quad (12)$$

Infatti, applicando la definizione di valore efficace si ottiene:

$$N_q = \sqrt{\frac{1}{q} \cdot \int_{-q/2}^{+q/2} q^2 \cdot dq} = \frac{q}{2\sqrt{3}} \quad (13)$$

Il rumore di quantizzazione è sempre presente nei sistemi di conversione da analogico a digitale e rappresenta il prezzo che si deve pagare per realizzare le trasmissioni numeriche.

Nel caso di codifica binaria a n bit di tipo bipolare, $(n - 1)$ bit sono impiegati per la codifica ed 1 bit per il segno.

Se il segnale analogico da convertire è di tipo sinusoidale bipolare con ampiezza V_M e valore efficace $V = \frac{V_M}{\sqrt{2}}$, il corrispondente valore efficace quantizzato vale:

$$S = \frac{V_r}{\sqrt{2}} = \frac{q \cdot N}{\sqrt{2}} \quad (14)$$

Dove $N = (0 \div 2^{n-1} - 1)$ rappresenta la codifica in decimale del numero binario a $(n - 1)$ bit.

Ad esempio, nel caso di codifica a 8 bit con 1 bit per il segno, i bit di codifica sono 7 e il numero D può assumere tutti i valori numerici interi compresi tra 0 e 127.

Il rapporto segnale rumore $(S/N_q)_{dB}$ vale:

$$\left(\frac{S}{N_q} \right)_{dB} = 20 \cdot \text{Log} \left(\frac{S}{N_q} \right) = 20 \cdot \text{Log} D \cdot \sqrt{6} = 7.78 + 20 \cdot \text{Log} D \quad (15)$$

Numerose misure effettuate sui canali telefonici hanno dimostrato che un collegamento può definirsi di buona qualità se il rapporto segnale /rumore non è inferiore a 16 dB.

Inoltre, si è anche dimostrato che un rapporto segnale/rumore superiore a 25 dB produce miglioramenti molto limitati ai fini della intelligibilità della trasmissione telefonica.

La precedente relazione dimostra, ancora una volta, che in una quantizzazione lineare i bassi livelli del segnale fonico sono caratterizzati da un rapporto segnale rumore inaccettabile. Inoltre, si deve osservare che i livelli del segnale analogico che superano il valore massimo V_{imax} consentito dal quantizzatore sono tagliati e compressi al valore di V_{imax} . Per tali segnali la relazione (15) non è più valida e, si può dimostrare, che il relativo rapporto segnale/rumore diminuisce drasticamente.

Ponendo nella (20) $D = 2^{n-1} - 1$, si ha:

$$\left(\frac{S}{N_q} \right)_{dB} = 7.78 + 20 \cdot \text{Log}(2^{n-1} - 1) \cong 7.78 + 20 \cdot \text{Log} 2^{n-1} = 7.78 + 20 \cdot (n - 1) \cdot \text{Log} 2$$

Sviluppando i calcoli si ottiene:

$$\left(\frac{S}{N_q} \right)_{dB} = 1.76 + 6.02 \cdot n \quad (16)$$

La precedente relazione è teorica ed è valida se si suppone che tutte le frequenze della banda fonica producono la stessa sensazione uditiva. In realtà si deve tenere conto dell'effetto psufometrico (Cap.V) secondo il quale l'orecchio ha una sensibilità che varia in funzione della frequenza del segnale sonoro. In particolare sono privilegiate le frequenze foniche intorno al KHz. Se si tiene conto dell'effetto psufometrico si può dimostrare che la (16) diventa:

$$\left(\frac{S}{N_q} \right)_{dB} = 5.4 + 6.02 \cdot n \quad (17)$$

La relazione (17) dimostra che ad ogni aumento di 1 bit del codice binario il rapporto segnale/rumore migliora di circa 6 dB. In fig.15 si riporta l'andamento del rapporto segnale/rumore in funzione del numero di bit associati alla codifica. L'asse delle ascisse è tarato in funzione della tipica dinamica dei segnali telefonici.

Si osservi la drastica diminuzione del rapporto segnale/rumore agli elevati livelli del segnale analogico superiori alla dinamica di lavoro del quantizzatore.

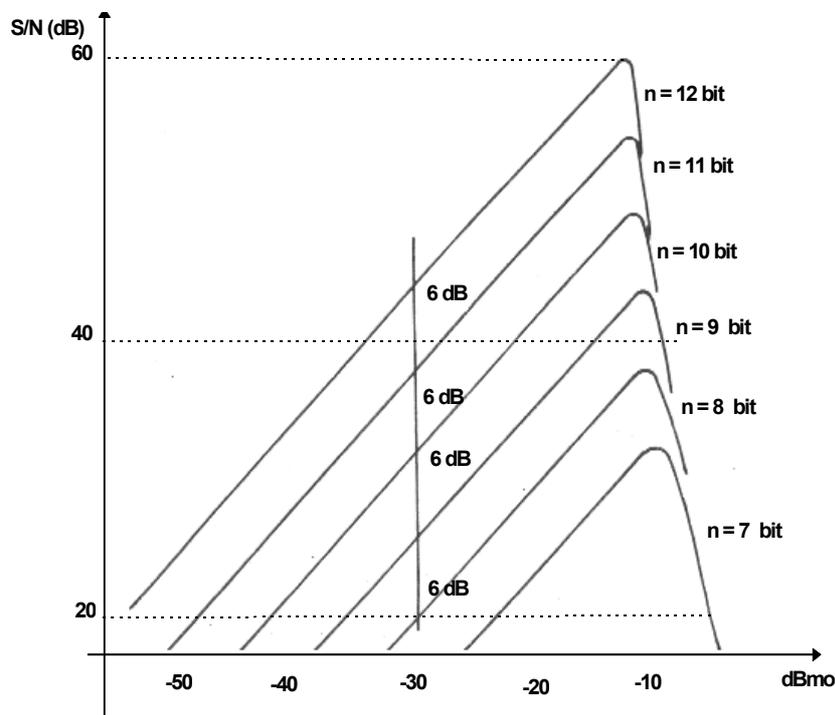


Fig.15 Rapporto Segnale/Rumore per diversi valori del numero di bit, in funzione del livello del segnale fonico.

Le considerazioni svolte ci portano a concludere che la quantizzazione lineare non è conveniente poiché il rapporto segnale/rumore ai bassi livelli del segnale fonico è inaccettabile. Nella pratica si ricorre all'quantizzazione non lineare oggetto del prossimo paragrafo.

6. Quantizzazione non lineare.

Per ottenere un rapporto segnale/rumore accettabile a tutti i livelli del segnale PAM è necessario realizzare una **quantizzazione non lineare** che rende l'ampiezza del quanto q non costante su tutta la gamma dinamica del segnale fonico.

In particolare per bassi valori del segnale PAM, inferiori a -10 dBm, è necessario avere valori del quanto q molto piccoli. Infatti, tali livelli sono quelli statisticamente più probabili in una comunicazione telefonica. Si ricordi che il parlatore medio si attesta su un livello tipico di circa -15 dBm. Ad elevati livelli del segnale PAM è sprecato avere piccoli valori del quanto poiché ciò comporterebbe un inutile aumento del rapporto segnale/rumore non apprezzabile dall'orecchio umano.

Numerosi studi, sia teorici che sperimentali, hanno indotto gli organismi internazionali a definire degli standard per la realizzazione della caratteristica di trasferimento di un quantizzatore non lineare. In fig.16 si riportano gli schemi a blocchi dei due principali metodi con cui si realizza la quantizzazione non lineare:

- quantizzazione non lineare di tipo *analogico*;
- quantizzazione non lineare di tipo *numerico*.



Fig.16a) Quantizzatore non lineare analogico

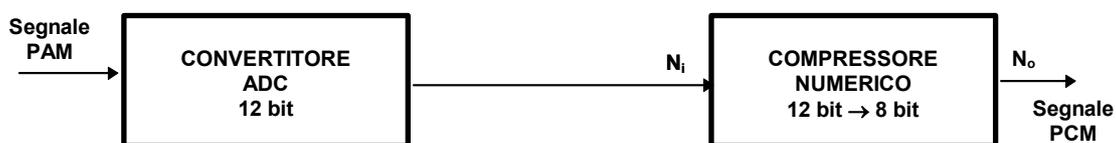


Fig.16b) Quantizzatore non lineare numerico

Nel **metodo analogico** il segnale PAM prima di essere convertito in forma numerica attraversa un **compressore analogico**. Tale dispositivo è, sostanzialmente, un amplificatore logaritmico che ha il compito di amplificare i livelli più bassi del segnale PAM e comprimere quelli alti. La caratteristica di trasferimento di tale circuito è, come vedremo tra breve, costruita in modo da rendere praticamente costante il rapporto segnale/rumore su tutta la gamma dinamica del segnale PAM.

Nel **metodo numerico** il segnale PAM è convertito immediatamente in forma digitale a 12 bit che, come è stato dimostrato nel precedente paragrafo, copre in maniera adeguata tutta la gamma dinamica del segnale PAM. Successivamente un **compressore**

numerico trasforma i dati a 12 bit in forma seriale a 8 bit. Anche la compressione numerica segue una legge logaritmica analoga a quella analogica in modo da garantire una uniforme distribuzione del rapporto segnale/rumore a tutti i livelli.

L'apparato ricevente PCM, dovrà contenere un organo denominato **espansore** complementare al compressore in grado di ripristinare i livelli originali dell'informazione analogica.

Nei sistemi di ultima generazione il metodo di quantizzazione non lineare adottato è quello numerico per ovvi motivi di costo, prestazioni, semplicità costruttiva e integrazione con tutti gli altri apparati numerici.

6.1 Compressione analogica

In ambito Europeo la legge di quantizzazione non lineare, denominata **Companding law A**, (**Compression and Expansion law**) è stata definita in modo da poter facilmente implementare i circuiti di compressione.

La legge di compressione A è governata dalle seguenti relazioni:

$$y = \frac{A \cdot |x|}{1 + \ln A} ; \quad \text{per } 0 \leq x \leq \frac{1}{A} \quad (18)$$

$$y = \frac{1 + \ln(A \cdot |x|)}{1 + \ln A} ; \quad \text{per } \frac{1}{A} \leq x \leq 1 \quad (19)$$

Nelle relazioni (18) e (19) si è indicato con $x = V_i/V_{i\max}$ il valore normalizzato di V_i rispetto al valore massimo $V_{i\max}$ e, analogamente, con $y = V_r/V_{r\max}$ il valore normalizzato del segnale PAM quantizzato.

In fig.17 si riporta l'andamento della legge di compressione A normalizzata dal CEPT (Conferenza Europea delle Amministrazioni delle Poste e Telecomunicazioni).

In base a tale normativa il valore del parametro A è stato fissato ad $A = 87.6$ che risulta essere il valore più idoneo ai fini dell'ottimizzazione del rapporto segnale/rumore.

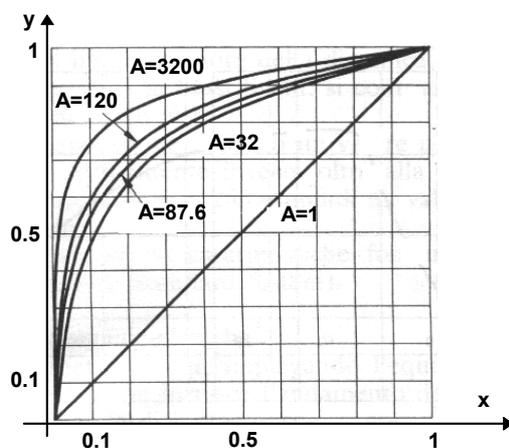


Fig. 17 Curve caratteristiche di compressione per diversi valori del parametro A.

Le curve riportate in fig.17 si riferiscono a valori positivi del segnale PAM. Per valori negativi le curve di compressione sono simmetriche, nel terzo quadrante degli assi cartesiani, rispetto a quelle mostrate nella fig.17.

Considerando la sola curva normalizzata con $A = 87.6$ si può ricavare che essa è lineare nel tratto compreso tra $0 \leq x \leq 1/A$, mentre è logaritmica per $1/A \leq x \leq 1$.

Sostituendo nelle relazioni (18) e (19) il valore di $A = 87.6$ si ricava, dopo alcuni passaggi:

$$y = 16 \cdot x \quad ; \text{per} \quad 0 \leq x \leq 1/A$$

$$y = 1 + 0.183 \cdot \ln |x| \quad ; \text{per} \quad 1/A \leq x \leq 1$$

Negli Stati Uniti il CCITT ha normalizzato una funzione di compressione denominata **legge di compressione μ** . Essa è caratterizzata dalla seguente relazione:

$$y = \frac{\ln(1 + \mu|x|)}{\ln(1 + \mu)} \quad (20)$$

Il parametro μ è stato fissato al valore $\mu = 255$.

Da un punto di vista grafico le due leggi di compressione si possono ritenere coincidenti.

6.2 Compressione numerica

In questo paragrafo saranno analizzati i concetti fondamentali che sono alla base della realizzazione di un compressore numerico. Tale dispositivo deve trasformare una parola binaria a 12 bit (4096 combinazioni) in una a 8 bit (256 combinazioni).

La prima operazione consiste nel trasformare la curva continua di un compressore analogico con legge A , mostrata in fig.17, in una spezzata costituita da un opportuno numero di segmenti. Le norme del CEPT hanno stabilito di approssimare la curva logaritmica della legge A con una spezzata di 8 segmenti, come mostrato in fig.18 per la parte relativa ai segnali positivi. Pertanto, il numero binario di entrata al compressore è a 11 bit (2048 combinazioni), mentre quello di uscita è a 7 bit (128 combinazioni).

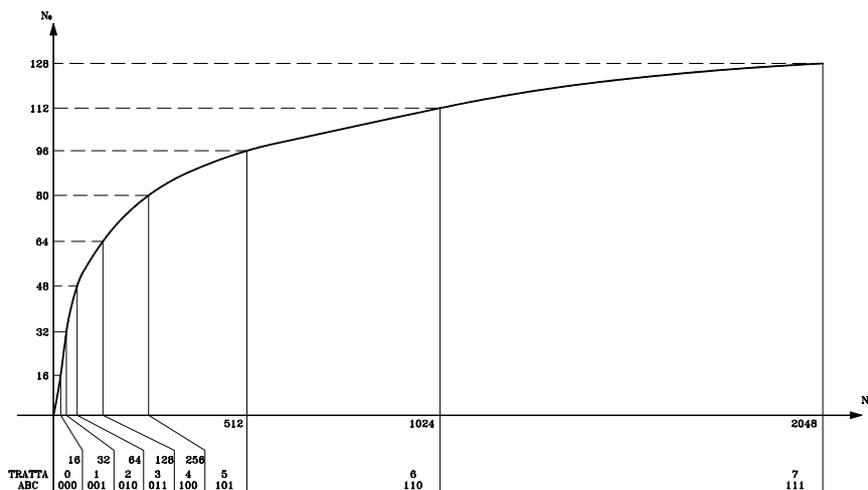


Fig.18 Caratteristica di trasferimento di un compressore numerico.

L'asse delle ascisse è diviso in 8 segmenti denominati *segmenti di tratta* e numerati da 0 (000) a 7 (111). L'asse delle ordinate è diviso in 8 parti uguali.

Nella tratta 0 e nella tratta 1 il compressore ha un comportamento lineare e restituisce in uscita lo stesso codice di entrata.

Nella tratta 2, con $ABC = 010$ dei 32 livelli, compresi tra 32 e 64, ne restituisce solo 16, compresi tra 48 e 64.

Nella tratta 3, con $ABC = 011$, dei 64 livelli di entrata N_i ne restituisce 16 e così via finché nell'ultima tratta, con $ABC = 111$, dei 1024 livelli di entrata, compresi tra 1024 e 2048, ne restituisce 16, compresi tra 112 e 128.

Il numero binario N_o a 8 bit di uscita dal compressore si può porre nella forma:

$$N_o = SABCDEF G$$

dove:

- 1) S è il bit del segno: 0 per valori positivi, 1 per valori negativi;
- 2) ABC è il codice binario del *segmento di tratta*;
- 3) DEFG è il codice binario corrispondente all'interpolazione lineare all'interno del segmento di tratta.

Indichiamo con:

$$N_i = SN_{10}N_9N_8N_7N_6N_5N_4N_3N_2N_1N_0$$

il numero binario a 12 bit generato dall'ADC come trasformazione in numerico del segnale PAM.

In fig.19 si riporta lo schema a blocchi di un sistema PCM con compressore numerico.

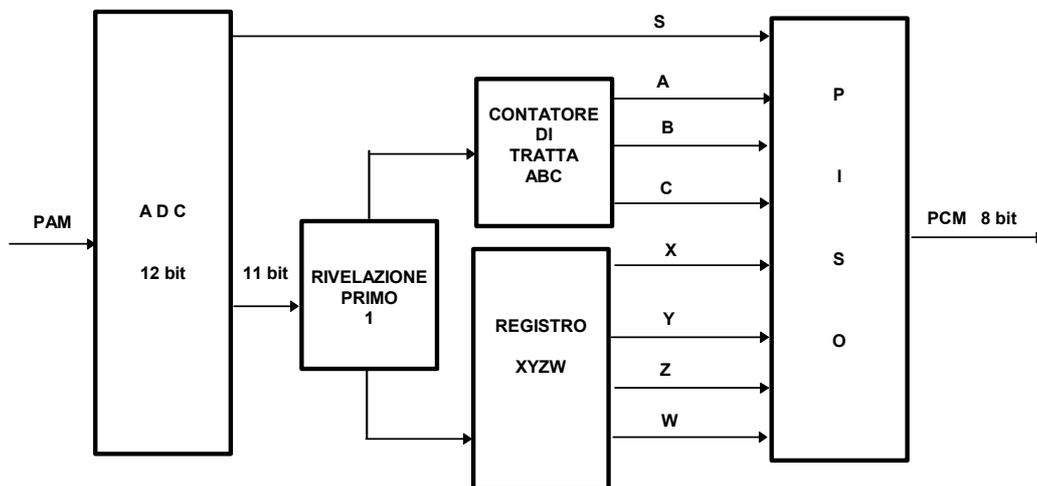


Fig.19 Sistema PCM con compressione numerica.

Il compressore numerico contiene al suo interno dei circuiti che operano nel seguente modo:

- il bit di segno S del codice di uscita N_o a 8 bit assume lo stesso stato logico di N_i ;
- il contatore di tratta, è un contatore all'indietro inizializzato al valore 111. Esso esamina sequenzialmente i bit da N_{10} a N_4 . Il suo stato si decrementa di una unità se il bit esaminato vale 0. Il conteggio all'indietro si arresta non appena si individua un

bit a 1 o se tutti i bit da N_{10} a N_4 sono nello stato 0. La configurazione binaria raggiunta da tale contatore rappresenta il codice di segmento di tratta ABC;

- si memorizzano i 4 bit seguenti il bit 1 che ha fermato il conteggio precedente. Tali bit individuano lo stato logico XYZW.
- i bit SABCXYZW sono caricati in un registro PISO (Parallel Input Serial Output) che serializza il codice numerico a 8 bit.

In tabella 1 si riporta la corrispondenza tra il codice a 12 bit e quello compresso a 8 bit. Con il simbolo * si indicano i bit persi durante la compressione.

Tabella 1
Compressione numerica da 12 bit a 8 bit.

CODICE a 12 Bit												CODICE a 8 Bit							
S	N_{10}	N_9	N_8	N_7	N_6	N_5	N_4	N_3	N_2	N_1	N_0	S	A	B	C	X	Y	Z	W
S	1	X	Y	Z	W	*	*	*	*	*	*	S	1	1	1	X	Y	Z	W
S	0	1	X	Y	Z	W	*	*	*	*	*	S	1	1	0	X	Y	Z	W
S	0	0	1	X	Y	Z	W	*	*	*	*	S	1	0	1	X	Y	Z	W
S	0	0	0	1	X	Y	Z	W	*	*	*	S	1	0	0	X	Y	Z	W
S	0	0	0	0	1	X	Y	Z	W	*	*	S	0	1	1	X	Y	Z	W
S	0	0	0	0	0	1	X	Y	Z	W	*	S	0	1	0	X	Y	Z	W
S	0	0	0	0	0	0	1	X	Y	Z	W	S	0	0	1	X	Y	Z	W
S	0	0	0	0	0	0	1	X	Y	Z	W	S	0	0	0	X	Y	Z	W

Per meglio comprendere la procedura di compressione numerica sviluppiamo alcuni esempi numerici.

Esempio 1

Supponiamo che la parola binaria a 12 bit sia:

$$N_i = SN_{10}N_9N_8N_7N_6N_5N_4N_3N_2N_1N_0 = 000101001101$$

Il codice PCM a 8 bit $N_0 = SABCXYZW$ associato dal compressore numerico vale:

$S = 0$;stesso valore della S della parola N_i ;
 $ABC = 101$; poiché, partendo dalla posizione N_{10} si incontrano due bit a 0. Pertanto il contatore si decrementa di due unità passando da 111(7) a 101 (5);
 $XYZW = 0100$;stato logico dei primi 4 bit seguenti il primo 1 significativo a partire da N_{10} .

Si osservi che in questo caso i bit $N_3N_2N_1N_0 = 1101$ sono persi nel processo di compressione.

Esempio 2

Supponiamo che la parola binaria a 12 bit sia:

$$N_i = SN_{10}N_9N_8N_7N_6N_5N_4N_3N_2N_1N_0 = 100001001101$$

Il codice PCM a 8 bit $N_0 = SABCXYZW$ vale:

$S = 1$;stesso valore della S della parola N_i ;

ABC = 011 ; poiché, partendo dalla posizione N_{10} si incontrano 4 bit a 0. Pertanto il contatore si decrementa di 4 unità passando da 111 (7) a 011 (3);

XYZW= 0011 ; stato logico dei primi 4 bit seguenti il primo 1 significativo a partire da N_{10} .

In questo caso il processo di compressione ha fatto perdere il contributo dei 2 bit meno significativi.

6.3 Espansore

L'apparato ricevente PCM deve svolgere delle funzioni complementari a quelle del trasmettitore. In particolare, la decodifica del segnale numerico deve ridare linearità ai livelli del segnale fonico che hanno subito il processo di compressione in fase di trasmissione. Ciò si realizza mediante un dispositivo con caratteristica non lineare denominato **espansore**. Esso può essere realizzato sia con tecniche analogiche che numeriche. L'espansore analogico è, sostanzialmente, un amplificatore antilogaritmico avente una caratteristica di trasferimento complementare a quella del compressore numerico con legge A o con legge μ . Tale dispositivo è inserito tra il codificatore DAC e il filtro di ricostruzione.

L'espansore numerico è realizzato con tecniche digitali e presenta una funzione di trasferimento complementare a quella del compressore numerico.

In fig.20a) si riporta la caratteristica di trasferimento di un espansore numerico e in fig. 20b) lo schema a blocchi del ricevitore PCM.

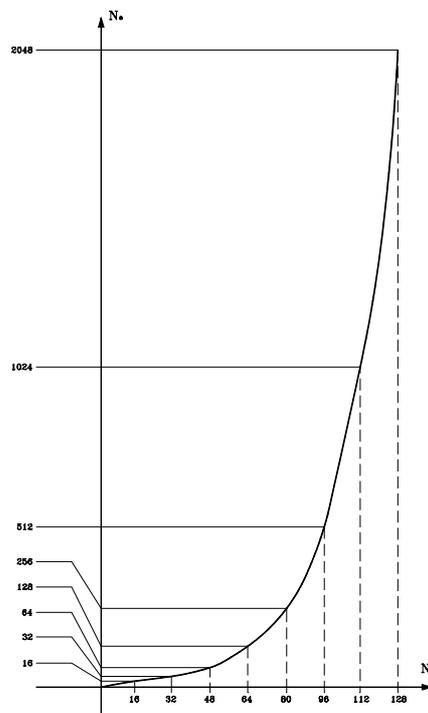


Fig.20a) Caratteristica di trasferimento di un espansore numerico.



Fig.20b) Schema a blocchi del ricevitore PCM con espansore numerico.

Il segnale PCM a 8 bit dopo, essere stato trasformato in forma parallela dal registro SIPO, attraversa l'espansore numerico. Tale dispositivo compie due funzioni:

1. espande il codice a 8 bit ricevuto in un codice a 12 bit;
2. converte il numero binario a 12 bit in segnale PAM quantizzato grazie ad un convertitore DAC interno al dispositivo.

In tabella 2 si riporta la corrispondenza tra il codice a 8 bit e quello espanso a 12 bit.

Tabella 2
Espansione numerica da 8 bit a 12 bit.

CODICE A 8 BIT								CODICE A 12 BIT											
S	A	B	C	X	Y	Z	W	S	N ₁₀	N ₉	N ₈	N ₇	N ₆	N ₅	N ₄	N ₃	N ₂	N ₁	N ₀
S	1	1	1	X	Y	Z	W	S	1	X	Y	Z	W	1	0	0	0	0	0
S	1	1	0	X	Y	Z	W	S	0	1	X	Y	Z	W	1	0	0	0	0
S	1	0	1	X	Y	Z	W	S	0	0	1	X	Y	Z	W	1	0	0	0
S	1	0	0	X	Y	Z	W	S	0	0	0	1	X	Y	Z	W	1	0	0
S	0	1	1	X	Y	Z	W	S	0	0	0	0	1	X	Y	Z	W	1	0
S	0	1	0	X	Y	Z	W	S	0	0	0	0	0	1	X	Y	Z	W	1
S	0	0	1	X	Y	Z	W	S	0	0	0	0	0	0	1	X	Y	Z	W
S	0	0	0	X	Y	Z	W	S	0	0	0	0	0	0	0	X	Y	Z	W

Si osservi che nel passare dal codice a 8 bit a quello a 12 bit si devono inserire dei bit aggiuntivi nelle posizioni di ordine inferiore, ad eccezione delle tratte $ABC = 000$ e $ABC = 001$ che presentano una codifica lineare. Nelle altre tratte i bit aggiuntivi, che completano il codice a 12 bit, non sono noti a priori per cui il loro valore può essere indifferentemente compreso tra $000\dots$ e $111\dots$. Si sceglie il valore intermedio $100\dots$.

Ad esempio, nella tratta $ABC = 111$ i bit da N_5 a N_0 sono posti arbitrariamente a 100000 che rappresenta il valore medio tra 000000 e 111111 .

L'espansione numerica da 8 bit a 12 bit si realizza mediante circuiti digitali che operano in modo complementare a quanto detto descritto a proposito del compressore di fig.19. Il dispositivo deve riconoscere la polarità del segnale, la tratta ABC e ripristinare la posizione originale dei bit XYZW. Il circuito di espansione opera nel seguente modo:

- il segnale a 8 bit nel formato SABCXYZW è caricato in un registro a scorrimento;
- il bit di segno S individua la polarità del campione PAM che si otterrà in uscita;
- ai bit XYZW è aggiunto un bit 1 in testa e uno in coda in modo da ottenere la configurazione binaria 1XYZW1.
- la configurazione 1XYZW1 è caricata nella parte alta di un registro a 12 bit con i bit meno significativi sono tutti a 0. Il bit più significativo è quello del segno.

S	1	X	Y	Z	W	1	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---

- si fanno scorrere verso destra i bit 1XYZW di un numero di posizioni pari a:

$$111 - ABC$$

- nello spostamento a destra i bit più significativi spostati assumono il livello logico 0;
- se il codice di tratta $ABC = 000$, lo spostamento a destra è di 6 posizioni e il bit a 1 in testa alla configurazione $XYXW$ è posto a 0.
- il numero binario a 12 bit così ottenuto è convertito in analogico da un convertitore DAC.

Esempio 3

Supponiamo che la parola binaria PCM a 8 bit in entrata all'espansore numerico sia:

S	A	B	C	X	Y	Z	W
0	1	0	0	0	1	1	1

Il codice a 12 bit generato dall'espansore sarà:

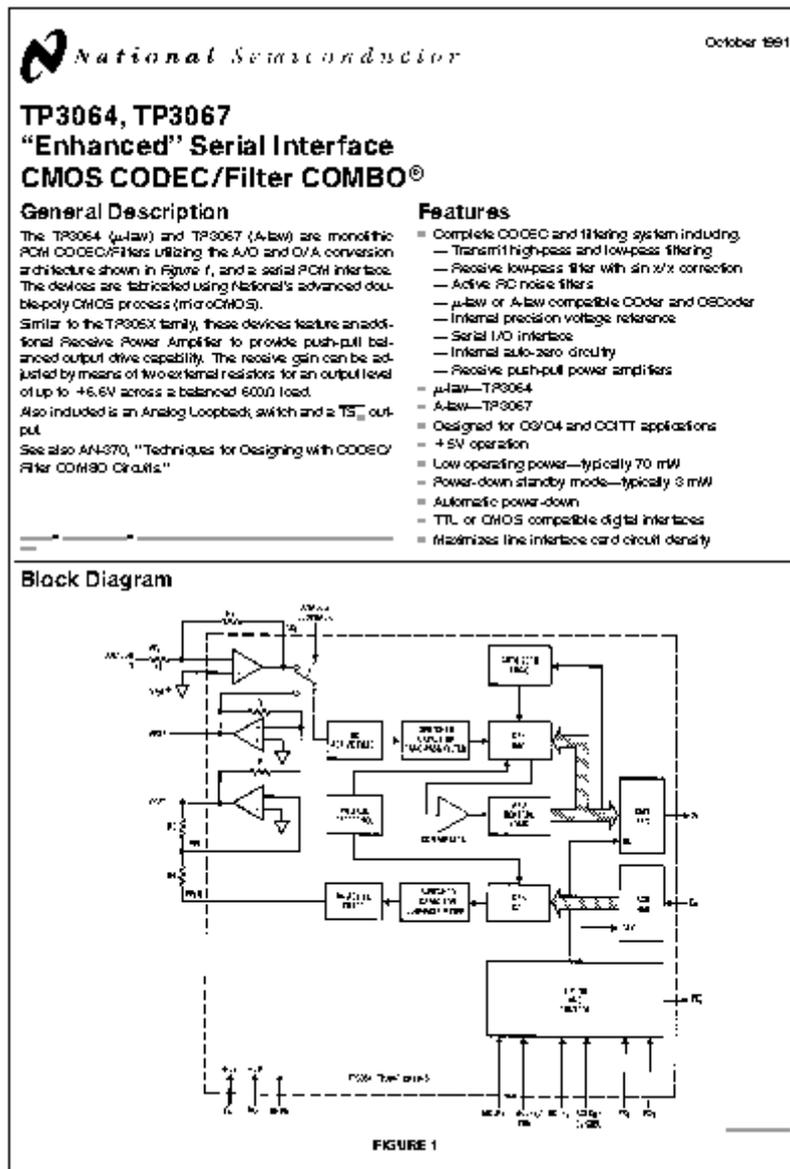
S	N ₁₀	N ₉	N ₈	N ₇	N ₆	N ₅	N ₄	N ₃	N ₂	N ₁	N ₀
0	0	0	0	1	0	1	1	1	1	0	0

Infatti, il bit del segno è rimasto inalterato a $S = 0$. La parola 1XYZW1 è stata spostata a destra di 3 posizioni poiché: $111 - ABC = 111 - 100 = 011$ corrispondente a 3 in decimale.

I bit meno significativi N_2 N_1 e N_0 non si possono determinare in alcun modo e sono stati forzati nello stato 100 che rappresenta il valore medio tra 000 e 111.

Tutte le funzioni necessarie per trasformare un segnale analogico in segnale numerico PCM e viceversa, sono svolte da circuiti integrati specializzati.

In fig. 21 si mostra lo schema funzionale del **codificatore-decodificatore CODEC PCM** Tp 3064/3067 della National utilizzato in molti apparati PCM attualmente in esercizio in Telecom.



TP3064, TP3067 "Enhanced" Serial Interface CMOS CODEC/Filter COMBO

Fig. 21 Schema funzionale del CODEC PCM TP 3064/3067 della National.

Il modello 3064 opera secondo la legge compressione μ -255.
 Il modello 3067 impiega la legge di compressione Europea A.

7. Multiplazione TDM

Per **multiplazione** si intende la capacità di un sistema di trasmettere contemporaneamente più segnali informativi sullo stesso canale fisico. Le classiche tecniche della modulazione di ampiezza AM e frequenza FM, impiegate in campo radio-televisivo, sono esempi di sistemi che impiegano la multiplazione. In questi sistemi la multiplazione è di tipo FDM (Frequency Division Multiplexing) è la possibilità di *affasciare* più trasmissioni contemporanee deriva dal fatto che ad ogni stazione trasmittente è assegnata una ben determinata banda di frequenza distante dalle altre.

Nel caso delle trasmissioni numeriche PCM il segnale informativo, detto **tributario**, è costituito da pacchetti seriali di 8 bit derivati dal campionamento del segnale analogico ad intervalli regolari di 125 μsec . L'idea fondamentale della **multiplazione nel tempo TDM** (Time Division Multiplexing) si basa sulla possibilità di trasmettere, nell'intervallo di tempo $T_c = 125 \mu\text{sec}$ dedicato al campionamento di un segnale analogico, altri segnali informativi di fonia.

Il numero di canali tributari che si possono affasciare in $T_c = 125 \mu\text{sec}$ è fissato da norme internazionali. In Europa l'ITU-T ha fissato diverse **gerarchie di multiplazione TDM**.

Allo stato attuale sono state definite 6 livelli gerarchici in tecnica PCM.

In tabella 1 si riassumono le caratteristiche di tali sistemi relativamente al numero di canali informativi che possono multiplare.

Tabella 1

Livelli gerarchici dei sistemi di multiplazione PCM.

Livello Gerarchico	Numero di canali tributari
1°	30
2°	120
3°	480
4°	1920
5°	7680
6°	30720

Dalla tabella 1 si ricava, immediatamente, che ogni livello gerarchico superiore al 1° ha un numero di canali tributari multiplo di 4 rispetto al livello di ordine inferiore.

7.1 Sistema PCM primario

Il sistema di multiplazione primario a 30 canali tributari costituisce il sistema base nella gerarchia numerica adottata in ambito Europeo secondo le norme fissate dall'ITU-T.

Tali norme impongono che nell'intervallo di trama $T_c = 125 \mu\text{sec}$ siano affasciati 32 canali a 8 bit per un totale di 256 bit. Dei 32 canali 30 sono tributari impiegati per le comunicazioni dell'utenza e 2 sono riservati ad informazioni di servizio. I due canali di

servizio contengono informazioni numeriche relative ai *criteri di segnalazione* (sgancio, numero telefonico, segnale di occupato, ecc.) e ai *sistemi di allineamento* necessari per ricostruire al ricevitore l'esatto ordine dei con cui sono stati multiplati i 32 canali. L'intervallo di campionamento di trama $T_c = 125 \mu\text{sec}$ è stato suddiviso in 32 intervalli di tempo IT numerati da 0 a 31 denominati **Time slot IT**. Il tempo assegnato ad ogni time slot vale:

$$T_{\text{can}} = 3.9 \mu\text{sec}$$

Poiché ogni canale PCM è costituito da 8 bit, la durata di ciascun bit vale:

$$T_{\text{bit}} = T_{\text{can}}/8 = 488 \text{ nsec}$$

La velocità di trasferimento dell'informazione numerica PCM risulta:

$$V = 2.048 \text{ Mbit/sec}$$

Tale velocità è denominata **frequenza di ripetizione**:

La gerarchia di 1° livello è noto, nella pratica, semplicemente come sistema PCM a 2 Mbit.

I sistemi PCM di 1° livello utilizzano come canali di trasmissione coppie simmetriche bilanciate o cavi coassiali.

In fig. 22 si riporta la struttura della trama PCM a 2.048 Mbit/sec.

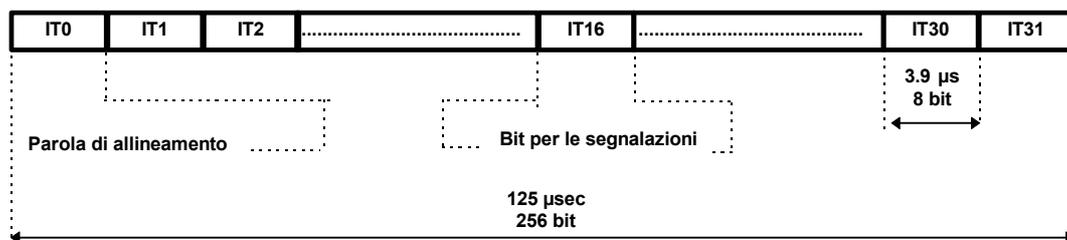


Fig22 Struttura della trama primaria PCM a 2.048 Mbit/sec.

I 32 canali sono così suddivisi:

- l'intervallo di tempo IT0 è dedicato all'invio della parola di allineamento indispensabile per assicurare, al ricevitore, la corretta distribuzione e sincronizzazione dei tributari e dei canali di servizio;
- l'intervallo di tempo IT16 è destinato all'invio dei messaggi di segnalazione e all'allineamento di multitraccia;
- i time slot da IT1 a IT15 e da IT17 a IT31 sono occupati dai messaggi telefonici dell'utenza.

In fig. 23 si mostra lo schema a blocchi semplificato del sistema di multiplazione.

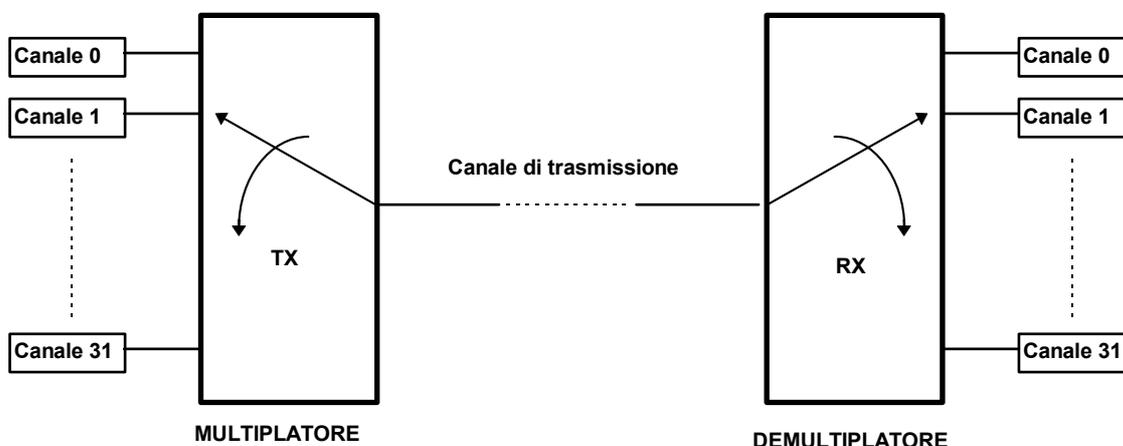


Fig.23 Schema a blocchi di un sistema di comunicazione PCM a 32 canali.

L'apparato trasmittente TX si può assimilare ad un multiplexer, mentre quello ricevente RX a un demultiplexer. I due apparati sono sincronizzati tra loro dalla parola di allineamento e commutano alla stessa velocità. Il tempo di commutazione è di 3.9 μ sec. e il ciclo si completa in 125 μ sec. Durante ogni intervallo di tempo IT di 3.9 μ sec sono trasferiti, in forma seriale, gli 8 bit di canale.

7.2 Trama e multitrama del sistema PCM primario.

Si è detto che il sistema primario PCM a 2.048 Mbit/sec è strutturato in 32 canali ciascuno con capacità informativa di 64 Kbit/sec. In particolare il canale IT0 contiene informazioni numeriche relativa all'allineamento, mentre il canale IT16 contiene informazioni riguardanti le segnalazioni. In questa struttura i messaggi di segnalazione occupano un intero time slot, l'IT16, che fa parte integrante della trama PCM. Per tale motivo questo metodo per l'invio delle segnalazioni è detto **sistema di segnalazione associato al canale**.

Con l'introduzione delle centrali telefoniche a commutazione numerica controllate da computer, l'invio e il trattamento dei messaggi di segnalazione è realizzato impiegando un apposito canale con capacità informativa di 64 Kbit/sec. In questo caso si parla di **sistema di segnalazione a canale comune CCS** (Common Channel Signalling) secondo la normativa CCITT n°7 (si veda il par.8.2 del Cap. VIII).

L'impiego del sistema di segnalazioni a canale comune consente, tra l'altro, di sfruttare il time slot IT16 per la gestione di un ulteriore utente. In tal modo i canali tributari della trama a 2.048 Mbit/sec diventano 31.

Nel caso di apparati con più fasci PCM a 2.048 Mbit/sec si può impiegare un solo time slot IT16 di un fascio per l'invio delle segnalazioni relative a tutti i fasci PCM. Il time slot IT16 in questione assume il ruolo di canale comune CCS mentre tutti gli altri IT16 relativi agli altri fasci PCM possono essere impiegati per trasferire informazioni di utente.

Nel seguito si farà riferimento al sistema di segnalazione a canale associato.

7.2.1 Segnalazioni

Se si utilizzasse un solo bit per la segnalazione di un canale fonico, con gli 8 bit contenuti in IT16 si potrebbero gestire le segnalazioni relative solo a 8 canali. Essendo i canali tributari 30 la gestione di tutte le segnalazioni richiederebbe almeno 4 trame. In tal modo il bit di segnalazione di un canale si ripeterebbe ogni 500 μsec ($4 \cdot 125 \mu\text{sec}$); ciò equivale ad una velocità v di aggiornamento delle segnalazioni di:

$$v = \frac{1}{500 \cdot 10^{-6}} = 2 \text{ Kbit / sec}$$

Tale velocità risulta eccessiva poiché i criteri di segnalazione si susseguono ad un ritmo estremamente basso.

Ad esempio, il tono di occupato corrisponde all'invio di un segnale sinusoidale a frequenza di 425 Hz per 0.5 sec. Intervallato da pause di altrettanti 0.5 sec. Effettuando la lettura della segnalazione ogni 500 μsec . si ripeterebbe l'acquisizione del criterio di occupato per ben 1000 volte durante i 0.5 sec. di emissione del suono e 1000 volte durante i restanti 0.5 sec. di pausa.

Le normalizzazioni dell'ITU-T hanno stabilito di aggiornare la lettura delle segnalazioni ogni 2 msec. cioè ogni 16 trame.

Le 16 trame sono indicate con T0, T1, T2,.....T15 e la relativa struttura è denominata **multitrama**. In fig. 24 si riporta una schematizzazione della multitrama a 2.048 Mbit/sec.

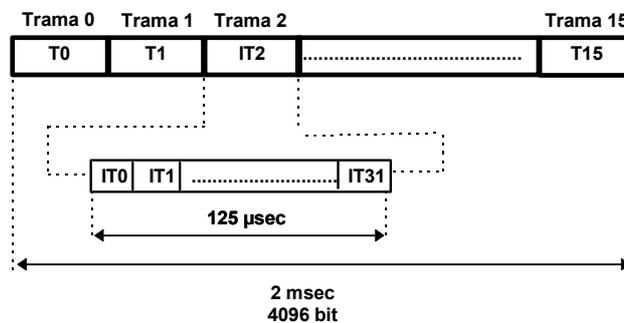


Fig. 24 Struttura della multitrama.

In base a questa normativa, il time slot IT16 di ogni trama è dedicato alle segnalazioni di 2 canali tributari. In tal modo tutte le segnalazioni dei 30 canali di fonia si esauriscono in 15 trame. Si è detto, però, che la multitrama è costituita da 16 trame. La trama in più è la T0. L'intervallo di tempo IT16 di tale trama non contiene informazioni di segnalazione ma una particolare configurazione di 8 bit, indicata con **W** e denominata **parola di allineamento di multitrama**:

$$W = 0000X_1S_2X_2X_3$$

I primi 4 bit di **W** rappresentano l'effettivo messaggio di allineamento di multitrama inviato al ricevitore. Se il ricevitore non riconosce tale sequenza pone al livello alto 1 il bit S_2 che viene inviato a ritroso dal ricevitore al trasmettitore per indicare un **Fuori Allineamento Multitrama FAM**.

Ciascuno dei bit $X_1X_2X_3$ può essere impiegato dal gestore del servizio per trasmissioni nazionali alla velocità di 500 bit/sec. (1 bit ogni 2 msec.). Tali bit, se non usati, sono tenuti al livello logico 1.

In tabella 2 si riporta il significato dei bit del time slot IT16.

Tabella 2
Bit dell'IT16 relativi alle segnalazioni PCM a canale associato a due vie per verso.

TRAMA	BIT1	BIT2	BIT3	BIT4	BIT5	BIT6	BIT7	BIT8
T0	0	0	0	0	X ₁	S ₂	X ₂	X ₃
T1	A ₁	B ₁	C ₁	D ₁	A ₁₇	B ₁₇	C ₁₇	D ₁₇
T2	A ₂	B ₂	C ₂	D ₂	A ₁₈	B ₁₈	C ₁₈	D ₁₈
T3	A ₃	B ₃	C ₃	D ₃	A ₁₉	B ₁₉	C ₁₉	D ₁₉
T4	A ₄	B ₄	C ₄	D ₄	A ₂₀	B ₂₀	C ₂₀	D ₂₀
T5	A ₅	B ₅	C ₅	D ₅	A ₂₁	B ₂₁	C ₂₁	D ₂₁
T6	A ₆	B ₆	C ₆	D ₆	A ₂₂	B ₂₂	C ₂₂	D ₂₂
T7	A ₇	B ₇	C ₇	D ₇	A ₂₃	B ₂₃	C ₂₃	D ₂₃
T8	A ₈	B ₈	C ₈	D ₈	A ₂₄	B ₂₄	C ₂₄	D ₂₄
T9	A ₉	B ₉	C ₉	D ₉	A ₂₅	B ₂₅	C ₂₅	D ₂₅
T10	A ₁₀	B ₁₀	C ₁₀	D ₁₀	A ₂₆	B ₂₆	C ₂₆	D ₂₆
T11	A ₁₁	B ₁₁	C ₁₁	D ₁₁	A ₂₇	B ₂₇	C ₂₇	D ₂₇
T12	A ₁₂	B ₁₂	C ₁₂	D ₁₂	A ₂₈	B ₂₈	C ₂₈	D ₂₈
T13	A ₁₃	B ₁₃	C ₁₃	D ₁₃	A ₂₉	B ₂₉	C ₂₉	D ₂₉
T14	A ₁₄	B ₁₄	C ₁₄	D ₁₄	A ₃₀	B ₃₀	C ₃₀	D ₃₀
T15	A ₁₅	B ₁₅	C ₁₅	D ₁₅	A ₃₁	B ₃₁	C ₃₁	D ₃₁

Dalla tabella 2 si ricava che gli 8 bit contenuti nella tabella IT16 delle trame da T1 a T15 sono dedicati 4 alle segnalazioni del canale i-esimo e altri 4 al canale i-esimo +16.

Ad esempio, nella trama T1 sono trasmessi 4 bit di segnalazione per il canale tributario IT1 (A₁B₁C₁D₁) e 4 bit per il canale IT17 (A₁₇B₁₇C₁₇D₁₇). I bit di segnalazione si aggiornano ogni 16 trame, cioè ogni 2 msec, con capacità informativa 500 bit/sec.

Gli attuali sistemi di segnalazione in servizio in Italia sono conformi alla normativa dell'ITU-T che prevede l'utilizzo di 2 soli bit dei 4 disponibili per ciascun tributario in ogni trama. In tal modo si ottiene un sistema di segnalazioni denominato *a due vie per verso di tipo lento*. La tabella delle segnalazioni per tale sistema si ottiene dalla tabella 2 ponendo a 0 tutti i bit C_i e a 1 tutti i bit D_i. In questo caso in ogni trama, da T1 a T16, sono disponibili solo 4 bit per le segnalazioni: 2 per il canale i-esimo e altri 2 per il canale i-esimo+16, come mostrato in tabella 3.

Tabella 3
Bit dell'IT16 relativi alle segnalazioni PCM a canale associato a due vie per verso di tipo lento.

TRAMA	BIT1	BIT2	BIT3	BIT4	BIT5	BIT6	BIT7	BIT8
T0	0	0	0	0	X ₁	S ₂	X ₂	X ₃
T1	A ₁	B ₁	0	1	A ₁₇	B ₁₇	0	1
T2	A ₂	B ₂	0	1	A ₁₈	B ₁₈	0	1
T3	A ₃	B ₃	0	1	A ₁₉	B ₁₉	0	1
T4	A ₄	B ₄	0	1	A ₂₀	B ₂₀	0	1
T5	A ₅	B ₅	0	1	A ₂₁	B ₂₁	0	1
T6	A ₆	B ₆	0	1	A ₂₂	B ₂₂	0	1
T7	A ₇	B ₇	0	1	A ₂₃	B ₂₃	0	1
T8	A ₈	B ₈	0	1	A ₂₄	B ₂₄	0	1
T9	A ₉	B ₉	0	1	A ₂₅	B ₂₅	0	1
T10	A ₁₀	B ₁₀	0	1	A ₂₆	B ₂₆	0	1
T11	A ₁₁	B ₁₁	0	1	A ₂₇	B ₂₇	0	1
T12	A ₁₂	B ₁₂	0	1	A ₂₈	B ₂₈	0	1
T13	A ₁₃	B ₁₃	0	1	A ₂₉	B ₂₉	0	1
T14	A ₁₄	B ₁₄	0	1	A ₃₀	B ₃₀	0	1
T15	A ₁₅	B ₁₅	0	1	A ₃₁	B ₃₁	0	1

Nei sistemi PCM attualmente in servizio è presente anche un ulteriore sistema di segnalazioni denominato *a due vie per verso* di cui veloce, la via A, e una lenta, la via B come mostrato in tabella 4.

Tabella 4
Bit dell'IT16 relativi alle segnalazioni PCM a canale associato
a due vie per verso

TRAMA	BIT1	BIT2	BIT3	BIT4	BIT5	BIT6	BIT7	BIT8
T0	0	0	0	0	X ₁	S ₂	X ₂	X ₃
T1	A ₁	B ₁	A ₈	1	A ₁₇	B ₁₇	A ₂₄	1
T2	A ₂	B ₂	A ₉	1	A ₁₈	B ₁₈	A ₂₅	1
T3	A ₃	B ₃	A ₁₀	1	A ₁₉	B ₁₉	A ₂₆	1
T4	A ₄	B ₄	A ₁₁	1	A ₂₀	B ₂₀	A ₂₇	1
T5	A ₅	B ₅	A ₁₂	1	A ₂₁	B ₂₁	A ₂₈	1
T6	A ₆	B ₆	A ₁₃	1	A ₂₂	B ₂₂	A ₂₉	1
T7	A ₇	B ₇	A ₁₄	1	A ₂₃	B ₂₃	A ₃₀	1
T8	A ₈	B ₈	A ₁₅	1	A ₂₄	B ₂₄	A ₃₁	1
T9	A ₉	B ₉	A ₁	1	A ₂₅	B ₂₅	A ₁₇	1
T10	A ₁₀	B ₁₀	A ₂	1	A ₂₆	B ₂₆	A ₁₈	1
T11	A ₁₁	B ₁₁	A ₃	1	A ₂₇	B ₂₇	A ₁₉	1
T12	A ₁₂	B ₁₂	A ₄	1	A ₂₈	B ₂₈	A ₂₀	1
T13	A ₁₃	B ₁₃	A ₅	1	A ₂₉	B ₂₉	A ₂₁	1
T14	A ₁₄	B ₁₄	A ₆	1	A ₃₀	B ₃₀	A ₂₂	1
T15	A ₁₅	B ₁₅	A ₇	1	A ₃₁	B ₃₁	A ₂₃	1

Dalla tabella 4 si deduce che le segnalazioni con la via veloce A si aggiornano ogni 8 trame, cioè ogni msec, con capacità informativa di 1 Kbit/sec. La via lenta B l'aggiornamento si ha ogni 16 trame con una capacità informativa di 0.5 Kbit/sec.

Ad esempio, il bit A₁ della segnalazione veloce è letto 2 volte nell'ambito della multitrama e precisamente nella trama T1 (bit 1) e nella trama T9 (bit 3); mentre, il bit di segnalazione della via lenta B₁ è letto solo nella trama T1 (bit 2).

Il metodo delle segnalazioni a due vie per verso lenta e veloce non è conforme alle normative dell'ITU-T ed inoltre, non ha dimostrato reali vantaggi nella gestione dei sistemi numerici PCM. Per tali motivi esso non è più implementato nei nuovi impianti PCM che sono, tuttavia, compatibili e interfacciabili con quelli della generazione precedente che utilizzano ancora tale metodo di invio delle segnalazioni.

7.2.2 Parole di allineamento A e B di IT0.

Nell'intervallo di tempo IT0 è inserito un byte che consente l'allineamento tra i canali. Il terminale PCM ricevente riconosciuta la posizione della parola di allineamento è in grado di stabilire, senza ambiguità, la posizione e l'ordine dei canali di fonìa. Sono previste due parole di allineamento; una per le trame pari, denominata parola A, l'altra per la trame dispari, denominata parola B:

- **Trame pari, parola A:** X₁0011011;
- **Trame dispari, parola B:** X₁1S₁11111.

Il cosiddetto *terzo bit* S₁ viene forzato al livello alto per indicare un *fuori allineamento trama* (FAT) o una *manca di impulsi di ricezione* (MIR). Infatti, se il ricevitore registra un fuori allineamento trama comunica a ritroso tale situazione all'apparato trasmittente che commuta lo stato del bit S₁ dal livello basso 0 a quello alto 1. Tale situazione viene segnalata dall'accensione di un diodo LED. Il bit X₁ delle trame pari è utilizzato per la supervisione della qualità dei dati ricevuti mediante codice CRC (Cyclic Redundancy Check) secondo la normativa G704 dell'ITU-T. Il bit X₁ delle trame dispari è utilizzato per l'allineamento di multitrama del CRC e per trasmissioni dati internazionali a velocità di 500 bit/sec. La normativa G704 prevede la suddivisione logica della struttura di multitrama in 2 sotto-multitrame da 8 trame ciascuna, come mostrato nella tabella 5.

Tabella 5
Stato logico dei bit dell'IT0 nella struttura multitrama

SOTTO MULTITRAMA	TRAMA	BIT1 (X ₁)	BIT2	BIT3	BIT4	BIT5	BIT6	BIT7	BIT8
1	T0	C ₁	0	0	1	1	0	1	1
	T1	0	1	S ₁	X ₂	X ₃	X ₄	X ₅	X ₆
	T2	C ₂	0	0	1	1	0	1	1
	T3	0	1	S ₁	X ₂	X ₃	X ₄	X ₅	X ₆
	T4	C ₃	0	0	1	1	0	1	1
	T5	1	1	S ₁	X ₂	X ₃	X ₄	X ₅	X ₆
	T6	C ₄	0	0	1	1	0	1	1
2	T7	0	1	S ₁	X ₂	X ₃	X ₄	X ₅	X ₆
	T8	C ₁	0	0	1	1	0	1	1
	T9	1	1	S ₁	X ₂	X ₃	X ₄	X ₅	X ₆
	T10	C ₂	0	0	1	1	0	1	1
	T11	1	1	S ₁	X ₂	X ₃	X ₄	X ₅	X ₆
	T12	C ₃	0	0	1	1	0	1	1
	T13	Z ₁	1	S ₁	X ₂	X ₃	X ₄	X ₅	X ₆
T14	C ₄	0	0	1	1	0	1	1	
T15	Z ₂	1	S ₁	X ₂	X ₃	X ₄	X ₅	X ₆	

Nelle trame pari il bit X₁ è sostituito dai bit del codice CRC indicati con C₁C₂C₃C₄ sia nella prima che nella seconda sotto-multitrama. Nelle trame dispari X₁ contiene dei bit che svolgono il ruolo di parola di allineamento di multitrama del CRC. Tali bit assumono lo stato logico: 001011. Gli ultimi due bit indicati con Z₁ e Z₂ sono bit liberi impiegati per trasmissione di segnali ad uso internazionale con capacità informativa di 500 bit/sec ciascuno. Gli altri bit della tabella assumono i consueti valori delle parole di allineamento A e B. In particolare i bit indicati con X₂X₃X₄X₅X₆ delle trame dispari sono normalmente posti a 1 ma possono essere utilizzati per trasmissioni di segnali a 4 Kbit/s per uso nazionale. Il codice di correzione CRC contenuto nei bit C₁C₂C₃C₄ si valuta come resto della divisione modulo 2 dei 2048 bit della sotto-multitrama precedente utilizzando il polinomio generatore $G(x) = x^4 + x + 1$. Il ricevitore calcola, con lo stesso metodo, il CRC della sotto-multitrama che riceve, lo memorizza, e lo confronta con il CRC della sotto-multitrama successiva. Se tali valori coincidono vuol dire che non ci sono errori. In caso contrario nella sotto-multitrama ricevuta vi è almeno un bit errato. In tal caso viene incrementato un *contatore di errori*. Se nel tempo di osservazione di 1 secondo si contano più di 910 parole di CRC errate il sistema si porta in uno stato di allarme e viene attivata una procedura per la ricerca di un nuovo allineamento. Ottenuto il nuovo allineamento il sistema, dopo 8msec, riprende la procedura di controllo del CRC.

In fig.24 si riporta la struttura della multitrama per il sistema PCM a 2.048 Mbit/sec. evidenziando, in particolare, la struttura della trama T0 e T7.

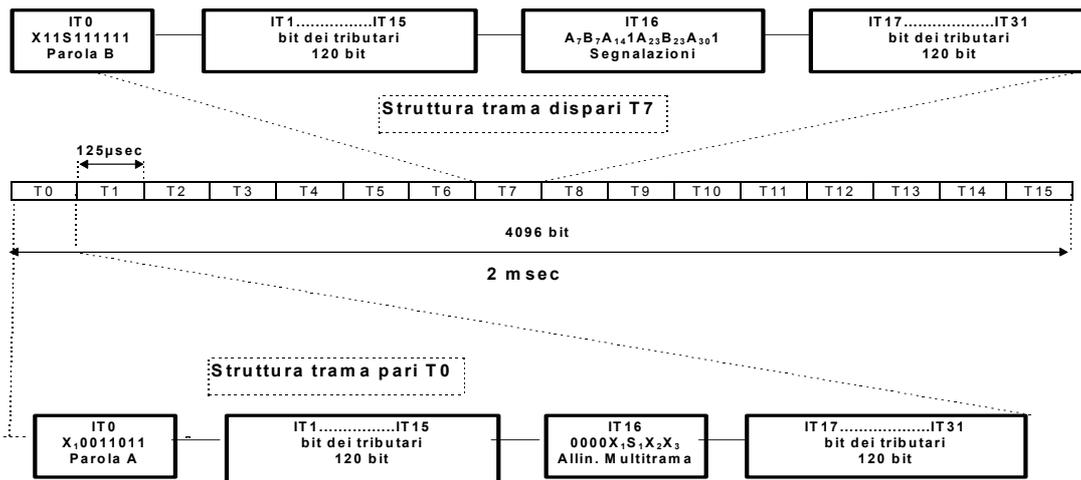


Fig.24 Struttura della multitrama PCM.

7.3 Caratteristiche degli apparati PCM a 2.048 Mbit

I sistemi PCM a 2.048 Mbit/s di ultima generazione utilizzati in Italia sono normalizzati secondo la tecnica denominata N2 e N2C. Tali normative derivano da una naturale evoluzione della precedente tecnica N1 impiegata nei primi apparati PCM.

Da un punto di vista meccanico l'apparato PCM di primo livello è alloggiato in un telaio alto 260 cm, largo 12 cm e profondo 23 cm. Su tale telaio possono essere inseriti 3 complessi completi a 30 canali fonici più un apparato di alimentazione a -48 V da cui ricavare le diverse alimentazioni necessarie al funzionamento delle schede elettroniche. Sul telaio è anche riservato uno spazio per alloggiare degli apparati di servizio.

La normativa N2 e N2C prevede netta separazione meccanica tra il *multiplexer di fonìa MF* e il *multiplexer di Segnalazioni MS*.

Il primo ha il compito di campionare i 30 canali tributari di fonìa forniti dagli apparati di centrale collegati all'utente mentre il secondo campiona ed elabora i criteri di segnalazione. Entrambi i multiplexer sono costituiti da 10 schede elettroniche denominate **tricanale** ognuna delle quali opera su 3 canali tributari.

Il multiplexer MS trasferisce al MF le segnalazioni al 16° time slot della propria trama alla velocità di 64 Kbit/sec. L'interfaccia tra MS e MF è detta *interfaccia β* o *interfaccia DM0* (Dati Multiplati al livello 0) ed è normalizzata dalla raccomandazione G703.

In ricezione avviene l'operazione opposta. I dati prelevati dall'IT16 sono ceduti dal multiplexer fonìa MF a quello di segnalazione MS con un flusso numerico a 64 Kbit/sec.

In fig.25 si mostra lo schema a blocchi del collegamento tra i multiplexer MF e MS.

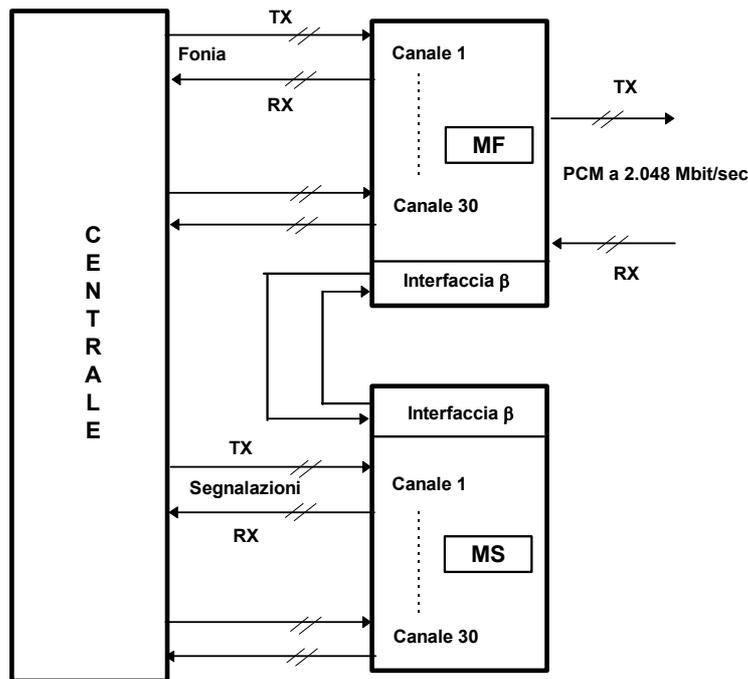


Fig. 25 Schema a blocchi di collegamento tra centrale telefonica e apparati PCM.

Il multiplexer fonia è predisposto in ingresso sia per canali a 4 fili, 2 per la trasmissione TX e 2 per la ricezione RX che per canali a due fili. In questo caso, non indicato in fig.25, è necessario, mediante opportuni ponticelli interni al MF, inserire una forchetta telefonica di tipo resistivo, per la trasformazione da 2 fili a 4 fili.

Si tenga presente che le operazioni di conversione da analogico a digitale per la trasmissione e da digitale ad analogico per la ricezione sono separate e necessitano ognuna di 2 fili TX e RX.

La normativa N2 e N2C prevede, tra l'altro, che ogni canale fonico possa essere utilizzato, mediante interfaccia β , come canale per trasmissione dati a velocità massima di 64 Kbit/sec. In questo caso si ha l'inserimento diretto del flusso numerico nel time slot scelto senza necessità di alcuna conversione da analogico a digitale.

La separazione meccanica tra MF e MS consente una più semplice integrazione nella rete numerica. Infatti, nel caso di centrali numeriche con sistema di segnalazione a canale comune non sarà più necessario utilizzare il multiplexer MS ma solo quello di fonia MF in grado di accettare, tramite interfaccia β , direttamente i criteri di segnalazione a 64 K bit/sec.

7.3.1 Allarmi nel sistema PCM a 2.048 Mbit

Gli apparati PCM di 1° livello sono forniti da una serie di dispositivi luminosi a diodo LED che segnalano, all'operatore di centrale, eventuali malfunzionamenti del sistema.

Gli allarmi si classificano in:

- 1) **Allarme Interno.** Il malfunzionamento è interno all'apparato. In questo caso deve intervenire il personale di centrale.

- 2) **Allarme Indicativo.** Il malfunzionamento è dovuto ad un altro apparato collegato a quello allarmato. In questo caso deve intervenire il personale addetto all'apparato che ha prodotto l'allarme.
- 3) **Allarme Esterno.** Il malfunzionamento è dovuto al canale di collegamento esterno. In questo caso deve intervenire il personale addetto alla manutenzione della rete trasmissiva.

I principali allarmi presenti in un apparato PCM sono:

- **Alim.** Segnala la mancanza di **Alimentazione** al sistema PCM;
- **MIR** Segnala la **Mancanza di Impulsi in Ricezione**;
- **MIR 64** Segnala la **Mancanza di Impulsi in Ricezione** sul canale di segnalazione IT16 a 64 Kbit/sec;
- **FAT** Segnala un **Fuori Allineamento Trama**;
- **FAMT** Segnala un **Fuori Allineamento MultiTrama**;
- **MIT** Segnala la **Mancanza di Impulsi in Trasmissione**;
- **AIS** Segnale di **Allarme Indicativo** costituito da un segnale numerico a tutti 1 inviato da un altro apparato per indicare che è fuori servizio;
- **EPAT** Segnala che il **Tasso di Errore sulla Parola di Allineamento** è superiore a quello consentito dalla normativa.

Tutti gli allarmi che si verificano in centrale in un qualunque apparato PCM, anche di gerarchia superiore, sono inviati ad un Centro di Elaborazione Dati di livello regionale o interregionale specializzato alla gestione e alla supervisione di tutti gli allarmi delle centrali ad esso collegate. La trasmissione degli allarmi avviene utilizzando una opportuna rete denominata **Rete FAMA**.

La struttura di tale rete prevede che tutti gli allarmi di ogni apparato PCM presente in centrale confluiscono in un *Dispositivo di Interfaccia Periferico* DIP. Tali dispositivi sono dei sistemi computerizzati che inviano le informazioni di allarme ad un sistema superiore denominato *Concentratore di Linea* COL.

Più concentratori di linea si collegano ad una stazione computerizzata denominata MARA che opera in ambito cittadino.

Le varie stazioni MARA sono collegate a stella al sistema regionale di *Gestione Integrata delle Trasmissioni* GIT che gestisce in tempo reale tutti gli allarmi delle centrali collegate.

8. Sistema PCM primario Americano

Negli Stati Uniti e in Giappone il sistema PCM di primo livello è stato normalizzato dall'ITU-T nella raccomandazione G 733 ed è denominato Bell Standard System.

Il sistema è caratterizzato da una frequenza di campionamento $f_c = 8$ KHz come nello standard Europeo. Il codificatore è di tipo silenziato con legge di compressione $\mu 255$.

La trama è costituita da 24 canali ciascuno di 8 bit per un totale di 192 bit per la fonia più 1 bit per l'allineamento di trama e multitrama. I bit complessivi di una trama sono, pertanto, 193 e la frequenza di cifra vale:

$$f = 193 \cdot 8 \cdot 10^3 = 1.544 \text{ Mbit/sec}$$

La multitrama è strutturata in 12 trame. I 24 canali compresi nella trama 6 e nella trama 12 impiegano solo 7 bit per la codifica poiché l'ottavo bit, il meno significativo, è utilizzato per l'invio dei criteri di segnalazione.

Nelle trasmissioni intercontinentali che collegano apparati PCM con diverso standard Europeo e Americano, è necessario interporre dei dispositivi di interfacciamento di centrale che consentono il dialogo tra i diversi sistemi.

9. Multiplazione dei sistemi numerici PCM

La necessità di trasferire segnali numerici a velocità sempre più grande e l'esigenza di affasciare su un unico canale di comunicazione più fasci PCM ha portato alla realizzazione di **multiplatori numerici** di gerarchia superiore.

Tale metodo consente di sfruttare a pieno la potenzialità della multiplazione a divisione di tempo TDM (Time Division Multiplexing).

Con tale sistema N segnali numerici possono essere interlacciati tra loro nel tempo di trama $T_c = 125 \mu\text{sec}$, in modo da realizzare un unico flusso alla velocità di multiplazione v_M :

$$v_M = N \cdot v \quad [\text{bit/sec}]$$

dove con v si è indicata la velocità di trasmissione del singolo flusso numerico

Ad esempio, se si affasciano 4 flussi primari a 32 canali a 8 bit con velocità di 2.048 Mbit/sec, si ottiene un sistema multiplato di 2° livello gerarchico con velocità:

$$v_M = 4 \cdot 2.048 \cdot 10^6 = 8.192 \text{ Mbit/sec.}$$

Il numero di bit complessivi entro il tempo di trama $T_c = 125 \mu\text{sec}$ diventa:

$$n = 256 \cdot 4 = 1024 \text{ bit}$$

Il tempo assegnato a ciascun bit diventa:

$$T_{\text{bit}} = \frac{125 \cdot 10^{-6}}{1024} = 122 \text{ nsec}$$

Tale tempo è $\frac{1}{4}$ di quello assegnato al bit del flusso numerico a 2.048 Mbit/sec

In realtà, come vedremo nel seguito, la frequenza di cifra del sistema PCM di 2° livello è di 8.448 Mbit/sec poiché è necessario inserire nella trama un certo numero di bit ausiliari per l'allineamento e la gestione degli allarmi.

Il valore del multiplo di 2° livello è stato scelto di 8.448 Mbit/sec poiché per semplificare i circuiti di tempificazione degli apparati di multiplazione e demultiplazione è opportuno che la frequenza di cifra sia multipla intera della frequenza fondamentale di 64 Kbit/sec. Anche per i livelli di gerarchia superiore la frequenza di cifra è sempre un multiplo intero di 64 Kbit/sec.

La multiplazione comporta una riduzione del tempo assegnato a ciascun bit e un aumento della frequenza di cifra. Pertanto, gli apparati numerici e di canali di comunicazione devono essere in grado di operare alle velocità di multiplazione richieste.

I moltiplicatori numerici sono realizzati a partire dal gruppo primario PCM a 2.048 Mbit/sec denominato livello gerarchico DM1 (Dati Multiplati a livello 1).

I sistemi di gerarchia superiore sono ottenuti mediante moltiplicazioni successive a gruppi di 4. Ogni gruppo entrante nel moltiplicatore è detto **tributario**.

In fig.26 si mostra uno schema a blocchi che evidenzia la moltiplicazione alle diverse strutture gerarchiche con riferimento ai soli canali utente.

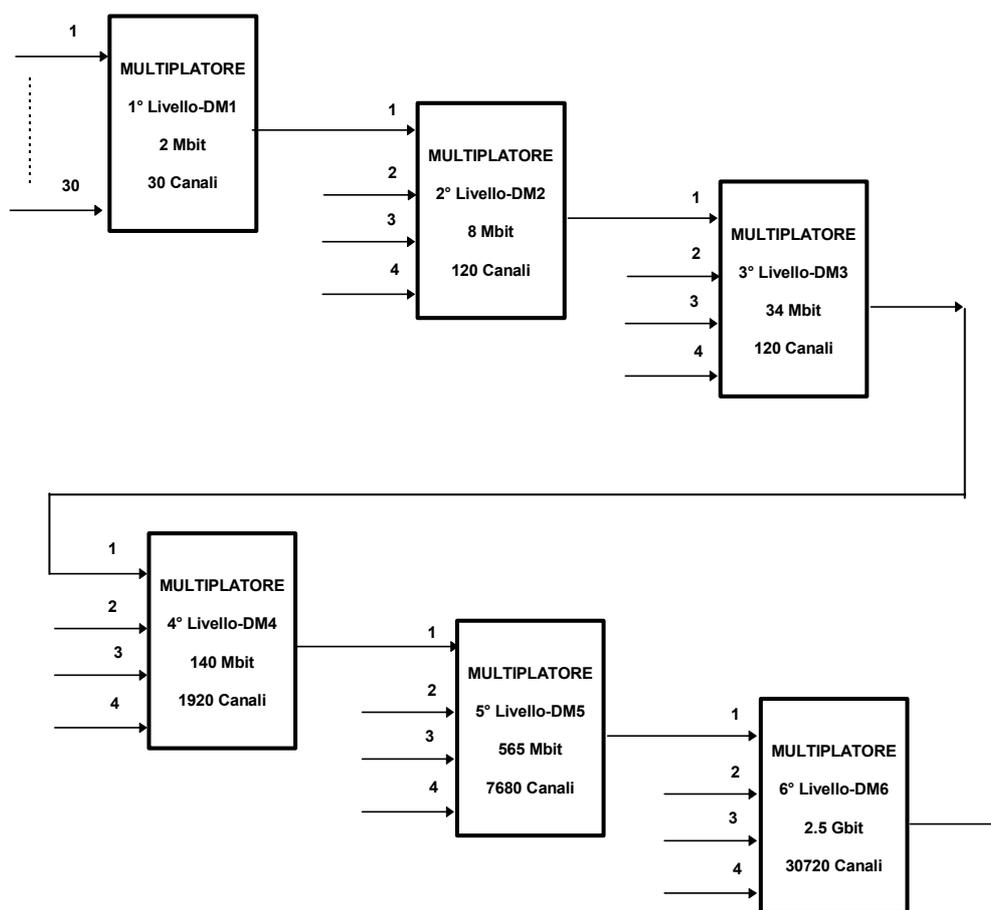


Fig. 26 Schema a blocchi della struttura dei livelli gerarchici nella moltiplicazione PCM.

I valori di velocità indicati nello schema a blocchi rappresentano i nomi pratici con cui sono chiamati i moltiplicatori PCM. Ad esempio, il sistema di 3° livello DM3 è detto comunemente sistema PCM a 34 Mbit anche se la frequenza di cifra è, come vedremo nel seguito, di 34.368 Mbit/sec.

Esiste una differenza fondamentale tra il moltiplicatore di 1° livello a 2.048 Mbit/sec e quelli di gerarchia superiore. Quello di 1° livello può moltiplicare 30 canali ciascuno dei quali può essere sia di fonia (analogico) che numerico (digitale); i moltiplicatori di ordine superiore possono moltiplicare solo 4 flussi numerici di ordine inferiore.

Per quanto riguarda il 6° livello gerarchico a 2.5 Gbit/sec esso è attualmente in fase di sviluppo ed è operativo solo in poche centrali telefoniche.

La moltiplicazione si può realizzare con due metodi:

- 1) **Multipolazione Sincrona**
- 2) **Multipolazione Asincrona**

Per meglio comprendere la differenza tra le due tecniche è opportuna dare le seguenti definizioni relative a come i segnali tributari si presentano all'ingresso del moltiplicatore. Essi si classificano in:

- **Isocroni o Allineati** Si presentano al moltiplicatore con la stessa frequenza e la stessa fase istantanea;
- **Mesocroni o Sincroni** Si presentano al moltiplicatore con la stessa frequenza ma con fase diversa;
- **Plesiocroni o Asincroni** Se si presentano al moltiplicatore con frequenza e fase diverse.

In tutti i casi, comunque, le variazioni di frequenza dei tributari da affasciare devono essere contenute entro limiti ben determinati. Ad esempio, nei sistemi di 1° livello a 2.048 MHz è consentita una variazione massima di frequenza di ± 50 ppm (parti per milione) equivalente a:

$$\Delta f = \pm 2.048 \cdot 10^6 \cdot 50 \cdot 10^{-6} = \pm 102.4 \text{ Hz}$$

Nei sistemi del 5° ordine la massima variazione di frequenza deve essere contenuta entro ± 15 ppm.

Nella multipolazione sincrona i diversi apparati PCM di trasmissione e ricezione sono tutti sincronizzati tramite un unico segnale di sincronismo generato da un oscillatore ad elevata stabilità detto *Orologio Principale* o *Master Clock*. Da tale orologio si estraggono i segnali di sincronismo e tempificazione necessari al funzionamento dei circuiti elettronici degli apparati PCM. Ciò garantisce l'isocronismo dei tributari da affasciare. I segnali tributari giungono, però, da apparati che si possono trovare a distanze diverse per cui si presentano al moltiplicatore con fasi diverse. Vedremo che il problema della differenza di fase sarà risolto mediante l'uso di opportune memorie tampone, dette **memorie elastiche**, inserite in ingresso al moltiplicatore.

Nei sistemi asincroni i tributari PCM da moltiplicare sono plesiocroni poiché provengono da apparati PCM sincronizzati con segnali di clock separati e diversi che hanno solo nominalmente la stessa frequenza di cifra. Pertanto, tali tributari si presentano all'ingresso del moltiplicatore con diversi valori di frequenza e fase. In questo caso il moltiplicatore deve elaborare i segnali numerici in modo da rendere i flussi isocroni. Vedremo che ciò si realizza impiegando sia delle memorie elastiche, come nei sistemi sincroni, che un particolare inserimento di bit fittizi denominati **bit di stuffing**.

Da quanto detto si comprende che la tecnica sincrona impiega apparati semplici ma necessita di un sistema di sincronizzazione unico e stabile mentre la tecnica asincrona dovendo operare con tributari aventi frequenza di cifra diversa necessita di apparati circuitali più complessi. La difficoltà di realizzare un segnale di sincronismo unico e ad elevatissima stabilità in frequenza ha favorito lo sviluppo della tecnica asincrona.

L'attuale rete numerica Europea è conforme alla normativa G-702 dell'ITU-T e si basa su una gerarchia plesiocrona PDH (Plesiocronous Digital Hierarchy).

I flussi base DM0 a 64 Kbit/sec sono moltiplicati in un flusso sincrono primario DM1 a 2.048 Mbit/sec. Il flusso secondario a 8.448 Mbit/sec può essere sia sincrono che asincrono mentre quelli di ordine superiore sono tutti asincroni.

In questi ultimi anni, però, è stato possibile costruire orologi estremamente precisi per cui la tecnica di moltiplicazione sincrona è diventata uno standard internazionale. Tale sistema, denominato SDH (Synchronous Digital Hierarchy), è interfacciabile e compatibile con i moltiplicatori asincroni esistenti. Della moltiplicazione SDH si parlerà in un prossimo paragrafo.

9.1 Moltiplicazione sincrona

In questo paragrafo si esaminerà il sistema di moltiplicazione sincrona facendo riferimento al sistema a 8.448 Mbit/sec. In fig.27 si riporta lo schema a blocchi di principio di un sistema di moltiplicazione sincrono di 2° livello in grado di moltiplicare 4 flussi numerici a 2.048 Mbit/sec

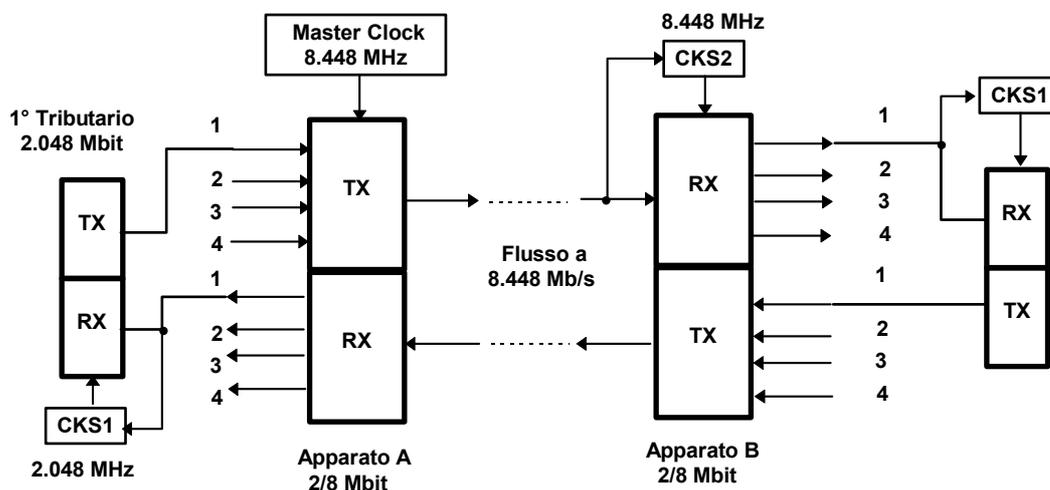


Fig. 27 Schema di principio di un sistema di moltiplicazione 2/8 Mbit.

Ciascun apparato A e B contiene sia il moltiplicatore TX che il demoltiplicatore RX. Nello schema è evidenziato il collegamento relativo al solo tributario n°1 a 2.048 Mbit. Il segnale di sincronismo è generato da un unico orologio *Master Clock* a 8.448 MHz installato, ad esempio, nell'apparato A. Da tale oscillatore si estraggono i segnali di sincronismo di tutti i circuiti interni al moltiplicatore. In particolare si estrae il clock CKS1 a 2.048 MHz per il sincronismo degli apparati di 1° livello e il clock CKS2 a 8.448 MHz per il sincronismo del moltiplicatore B.

La moltiplicazione numerica può essere eseguita impiegando tre tecniche fondamentali:

- 1) Moltiplicazione bit a bit
- 2) Moltiplicazione parola per parola
- 3) Moltiplicazione trama per trama

La moltiplicazione bit a bit consiste nel trasferire in modo sequenziale un bit del 1° tributario seguito da quello del 2° poi da quello del 3° e infine da quello del 4° tributario. Il ciclo si ripete fino all'esaurimento della trasmissione.

Le tecniche di moltiplicazione parola per parola e trama per trama si realizzano trasferendo in modo sequenziale una intera parola o una intera trama dei diversi tributari da affasciare.

Nella pratica i moltiplicatori PCM sono del tipo bit a bit per ragioni di semplicità e costo degli apparati. Le altre due tecniche consentono minori tassi di errore ma risultano più complesse e costose e, pertanto, sono impiegate in applicazioni particolari come le trasmissioni numeriche satellitari. In fig.28 si mostra la struttura di principio della tempificazione di 4 flussi primari a 2.048 Mbit/sec con la tecnica bit a bit. Si è indicato con A_i , B_i , C_i e D_i il generico stato logico 0 o 1 dei bit associati ai tributari.

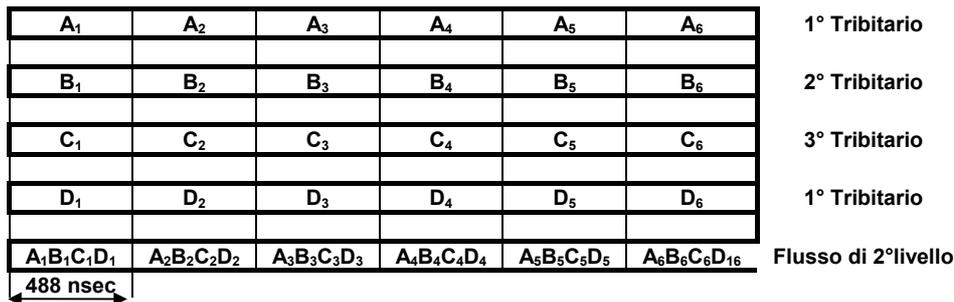


Fig. 28 Tempificazione di principio del multiplo di 2° livello.

Il flusso di 2° livello riportato in fig.28 è caratterizzato da una frequenza di cifra quadrupla di quella del singolo tributario a 2:048 Mbit/sec poiché, nel tempo di canale $T_{can} = 488$ nsec trasferisce 4 bit informativi. Si ha:

$$v = 4 \cdot 2.048 \cdot 10^6 = 8.192 \text{ Mbit/sec}$$

La tempificazione mostrata nella fi.28 è solo di principio e un sistema basato su tale tempificazione non potrebbe in alcun modo funzionare per i seguenti due motivi:

1) la trama non contiene alcuna informazione che indichi l'inizio della sequenza dei tributari.

Per ovviare a tale inconveniente è necessario introdurre nella trama dei bit aggiuntivi, noti come **parola di allineamento**. Una parte di tali bit è utilizzata per consentire, al ricevitore, di ricostruire la giusta sequenza temporale dei tributari, un'altra parte è impiegata come bit di servizio e gestione degli allarmi.

2) La tempificazione di fig. 28 presuppone che i tributari entrati nel moltiplicatore siano isocroni, cioè con stessa frequenza e fase.

In realtà i segnali tributari hanno sicuramente la stessa frequenza di cifra essendo il sistema in esame sincrono e comandato da un solo segnale di clock. La fase, però, può essere diversa poiché i singoli apparati di 1° livello non si trovano tutti alla stessa distanza dal moltiplicatore e, inoltre, ognuno di essi può essere interessato da fenomeni di rumore e distorsione del tutto aleatori.

Il problema della variazione di fase si risolve inserendo su ciascun ingresso del moltiplicatore una **memoria tampone** detta anche **memoria elastica** in grado di memorizzare i bit entrati per un tempo sufficiente a consentire al moltiplicatore la lettura isocrona dei bit di tributario. Nella pratica la memoria elastica è assimilabile ad un registro a scorrimento della capacità di 8 bit.

La necessità di inserire nella trama dei bit supplementari di allineamento e di servizio comporta un aumento della frequenza di cifra che risulterà superiore al valore teorico di 8.192 Mbit/sec.

Indicando con Q i bit supplementari e con P quelli informativi di tributario si definisce **ridondanza R** della trama il rapporto:

$$R = \frac{Q}{P}$$

La frequenza di cifra V_2 del multiplo di 2° livello vale:

$$V_2 = 4 \cdot V_1 \cdot (1 + R)$$

dove V_1 è la frequenza di cifra dei tributari.

Per i sistemi sincroni di 2° livello l'ITU-T ha fissato una struttura di trama con Q = 16 bit aggiuntivi, 8 di allineamento e 8 di servizio e P = 512 bit informativi di tributario.

La frequenza di cifra di 1° livello è $V_1 = 2.048$ Mbit/sec, per cui:

$$V_2 = 8.448 \text{ Mbit/sec}$$

Tale valore è stato scelto tendo conto di diversi fattori quali:

- massima fluttuazione consentita per le frequenze e per le fasi dei segnali interessati alla moltiplicazione;
- inserimento nella trama dei bit supplementari di allineamento e allarmi;
- necessità di avere una frequenza di cifra multipla della frequenza base di 64 Kbit/sec

In fig.29 si riporta la struttura della trama di un sistema PCM sincrono a 8.448 Mbit/sec, mentre in fig.30 è mostrato lo schema a blocchi semplificato.

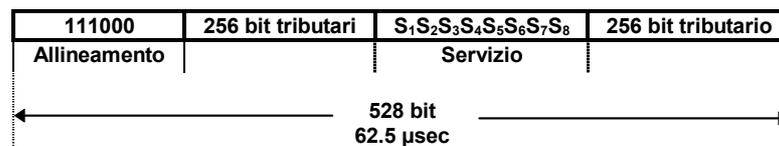


Fig. 29 Tempificazione della trama sincrona di 2° livello a 8.448 Mbit sec.

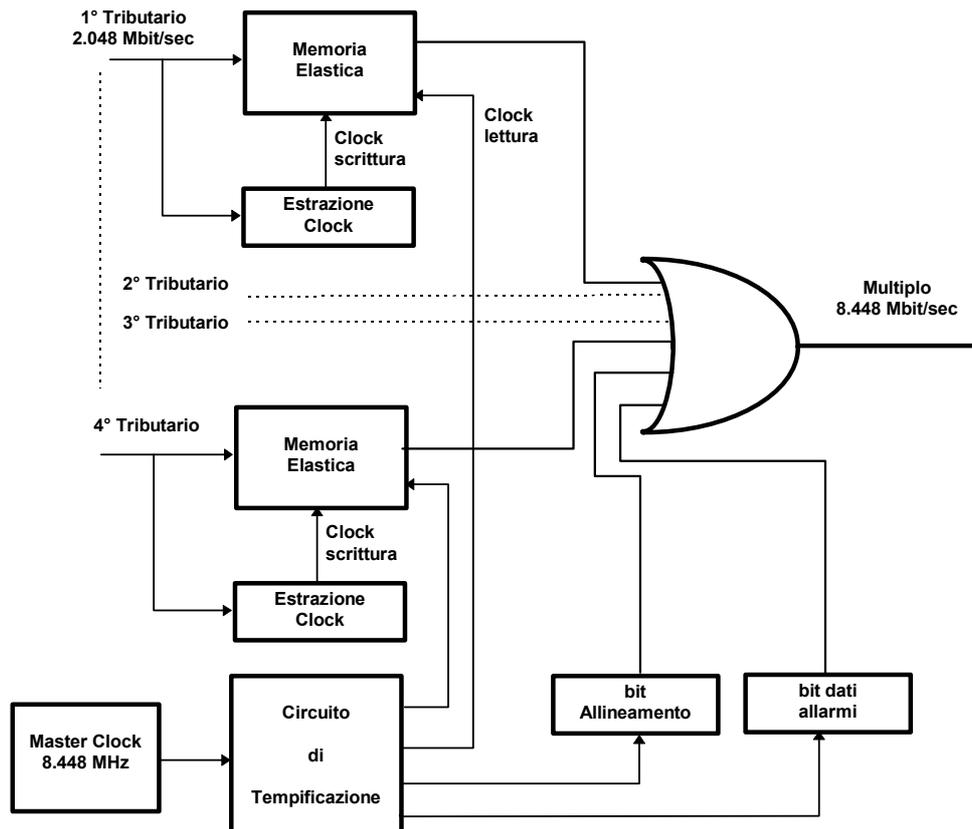


Fig. 30 Schema a blocchi di un sistema di moltiplicazione sincrona di 2 livello a 8.448 Mbit/sec.

La trama è costituita da 528 bit con una durata complessiva di:

$$T_{\text{trama}} = \frac{528}{8.448 \cdot 10^6} = 62.5 \mu \text{ sec}$$

La struttura alterna 8 bit di servizio e 256 bit informativi di tributario con moltiplicazione bit a bit. I primi 8 bit addizionali rappresentano la **parola di allineamento 11100010**, mentre i successivi 8 bit $S_1S_2 S_3S_4 S_5S_6 S_7S_8$ sono impiegati dall'apparecchiatura per il trasporto di informazioni di servizio. In particolare i bit $S_1S_2 S_3S_4 S_5S_6$ sono utilizzati come canale dati a 6 bit, mentre i bit $S_7 S_8$ sono di allarme per segnalare un funzionamento anomalo dell'apparato.

9.2 Moltiplicazione asincrona

I moltiplicatori asincroni sono dispositivi di moltiplicazione TDM atti a soddisfare l'esigenza di rendere indipendenti gli orologi di tempificazione e sincronismo degli apparati PCM da moltiplicare.

La tecnica asincrona è, attualmente, impiegata in tutti i livelli gerarchici di ordine superiore al 2°. La stessa gerarchia di 2° livello a 8.448 Mbit/sec può essere realizzata sia con tecnica sincrona che asincrona.

In un sistema di multiploazione asincrono ciascun tributario è tempificato da un proprio orologio e, pertanto, i flussi da affasciare sono plesiocroni. Le inevitabili differenze di frequenza non possono essere compensate il solo uso di memorie elastiche. Tali memorie possono compensare solo minime variazioni di fase dei tributari.

La frequenza di cifra dei tributari deve, comunque, essere contenuta entro ben determinati limiti imposti da norme internazionali. Valori caratteristici sono:

- 1° livello gerarchico $f = 2.048 \text{ MHz} \pm 50 \cdot 10^{-6}$
- 2° livello gerarchico $f = 8.448 \text{ MHz} \pm 30 \cdot 10^{-6}$
- 3° livello gerarchico $f = 34.368 \text{ MHz} \pm 20 \cdot 10^{-6}$
- 4° livello gerarchico $f = 139.264 \text{ MHz} \pm 15 \cdot 10^{-6}$
- 5° livello gerarchico $f = 564.992 \text{ MHz} \pm 15 \cdot 10^{-6}$

Per poter affasciare i segnali tributari è necessario che essi sia allineati e che il moltiplicatore legga i bit ad una frequenza costante. In altre parole il moltiplicatore deve rendere isocroni i flussi plesiocroni che si presentano ai suoi ingressi. Ciò si ottiene utilizzando una particolare tecnica denominata **pulse stuffing** o tecnica della **giustificazione positiva**.

L'operazione di giustificazione è la stessa che ha nella stampa di un documento in cui le righe, pur contenendo un diverso numero di caratteri, hanno sempre la medesima lunghezza poiché se ne varia opportunamente la spaziatura.

Anche nella multiploazione asincrona la trama ha sempre la stessa lunghezza in termini di durata e numero di bit complessivi ma può variare il numero di bit significativi assegnati a ciascun tributario. Si comprende quindi che la trama asincrona dovrà contenere ulteriori bit di ridondanza necessari a gestire l'operazione di stuffing.

In fig.31 si riporta lo schema di principio di un sistema di multiploazione asincrono 2/8 in grado di multiploare 4 flussi primari a 2.048 Mbit/sec.

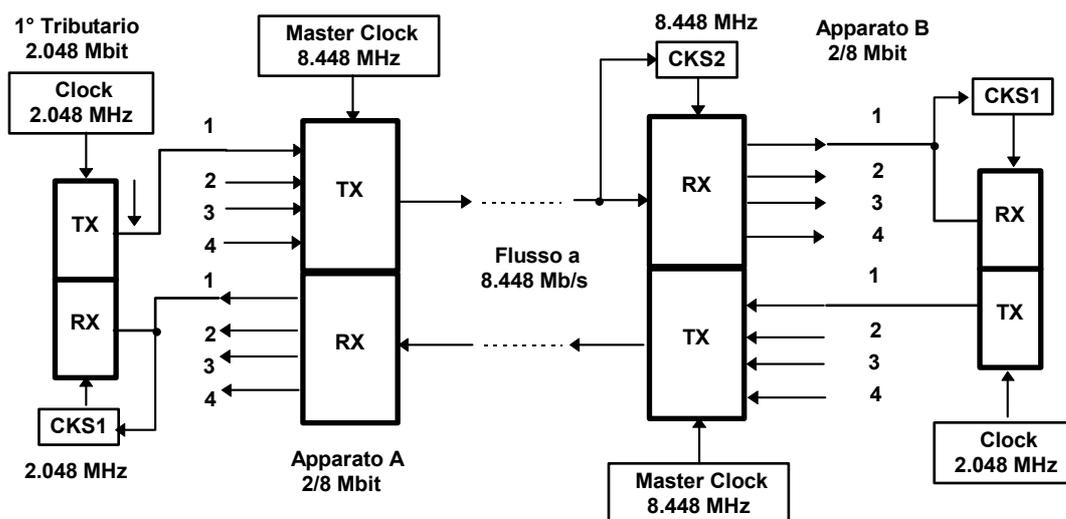


Fig. 31 Schema a blocchi di un sistema di multiploazione asincrona 2/8.

Si osservi che i due apparati PCM sono tempificati in trasmissione da orologi distinti mentre in ricezione si sincronizzano, mediante estrazione della frequenza di clock, all'apparato trasmittente che assume il ruolo di sistema master.

Per poter rendere isocroni i segnali tributari da affasciare si utilizza il metodo di scrivere i bit informativi di tributario in una memoria elastica alla frequenza f_1 da essi estratta e di leggerli ad una frequenza leggermente superiore estratta dall'oscillatore principale del moltiplicatore. La differenza di velocità tra la scrittura e la lettura dei bit di tributario tende a svuotare la memoria elastica. Se ciò accadesse si avrebbe una errata trasmissione di bit informativi. Lo svuotamento della memoria elastica è segnalato da un circuito a PLL (Phase Lock Loop), in modo che, prima che possa avvenire lo svuotamento, il segnale di abilitazione alla lettura dei bit di tributario è inibito per il tempo di un bit consentendo, così, il riempimento della memoria.

Essendo la lunghezza della trama costante, il blocco del clock di lettura si traduce nell'invio di un bit non significativo (bit di stuffing). Per poter riconoscere la presenza di tale bit si devono inserire nella struttura della trama ulteriori bit che segnalino tale situazione. Ciò si realizza inserendo nella trama il cosiddetto **messaggio di stuffing MS**.

In fig.32a) si riporta la struttura della trama asincrona PCM di 2° livello a 8.448 Mbit/sec, mentre in fig.32b) si mostra uno schema a blocchi semplificato del moltiplicatore.

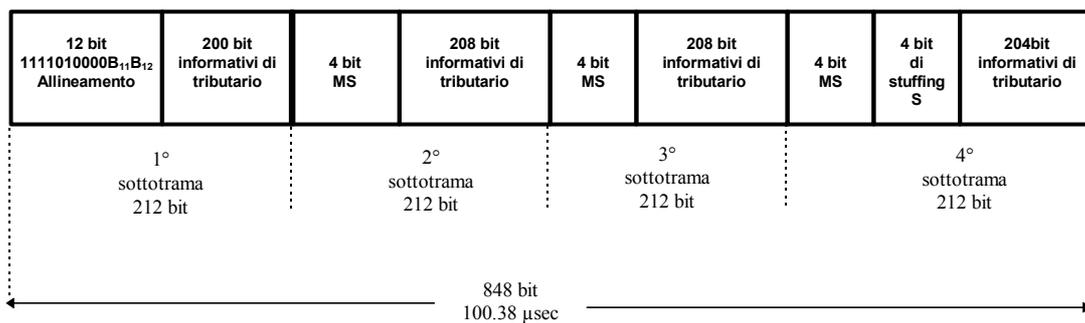


Fig. 32a) Tempificazione della trama sincrona di 2° livello a 8.448 Mbit sec.

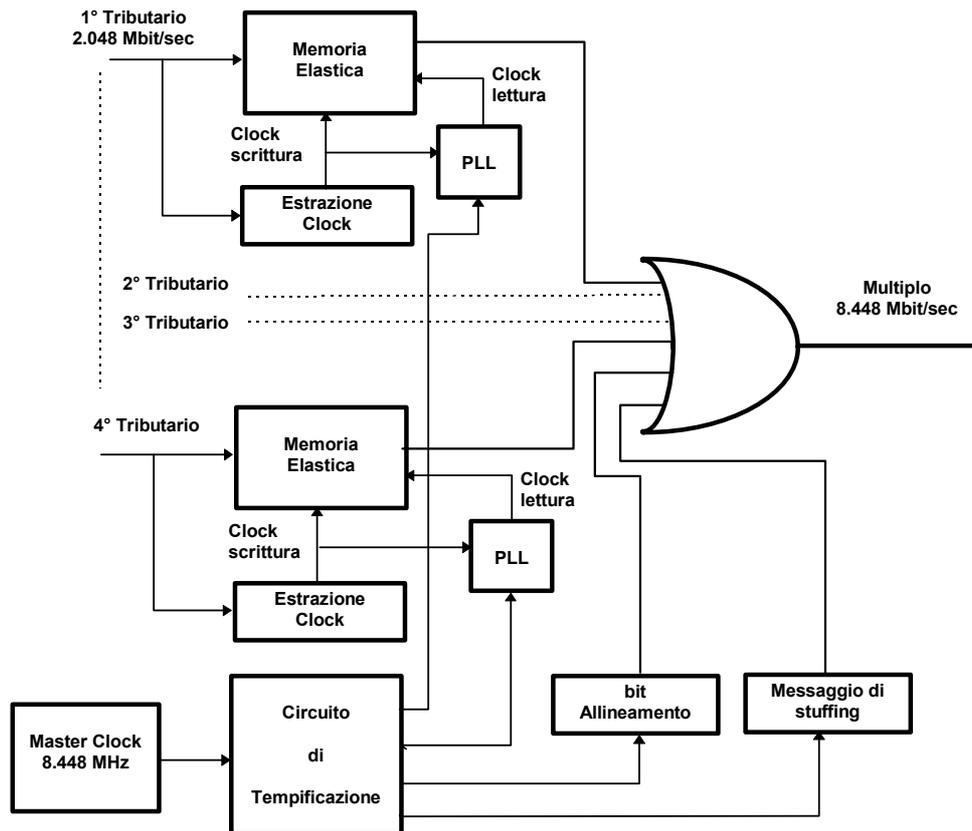


Fig.32 b) Schema a blocchi di un moltiplicatore asincrono 2/8 a 8.448 Mbit/sec.

La trama inizia con la parola di allineamento costituita da 12 bit:

$$A = 1111\ 01\ 0000B_{11}B_{12}$$

I primi dieci bit costituiscono la vera parola di allineamento che il ricevitore deve riconoscere per gestire l'allineamento, il bit B_{11} è di allarme FAT (Fuori Allineamento Trama) mentre il bit B_{12} è impiegato come canale dati ad uso del gestore del servizio.

Il messaggio di stuffing MS è costituito da 4 bit uno per ciascun tributario ed è ripetuto 3 volte per ragioni di sicurezza in modo da ridurre la probabilità di commettere errori nella trasmissione dei bit di stuffing.

Se i primi tre bit dei tre messaggi di stuffing MS sono a 1 vuol dire che il 1° bit di stuffing S è un bit di riempimento privo di significato mentre se sono a 0 il 1° bit di stuffing S è un bit informativo del 1° tributario. Analogamente per gli altri bit di stuffing. In altre parole se il messaggio di stuffing è 111 vuol dire che il corrispondente bit S è non informativo se invece il messaggio di stuffing è 000 il corrispondente bit di stuffing è di tributario. Ad esempio, supponiamo che la struttura della trama sia quella di fig.33.

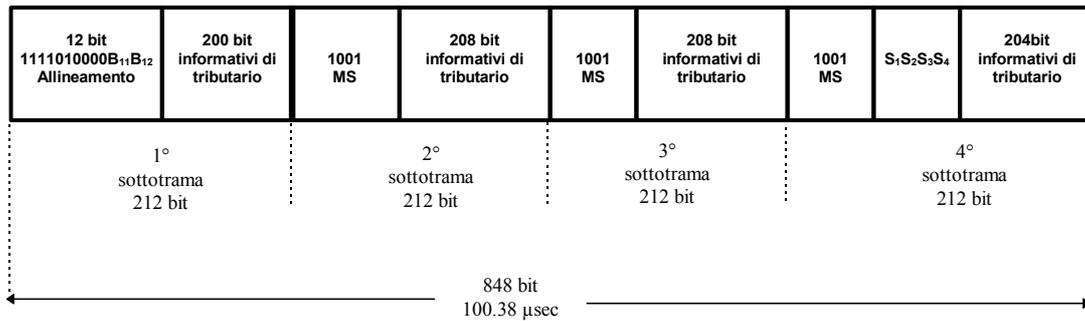


Fig.33 Esempio di trama a 8.448 Mbit/sec.

In questo caso il messaggio di stuffing MS ripetuto per 3 volte è 1001. Pertanto:

- 1) il primo bit di ciascuno dei messaggi MS è 1 e quindi il messaggio complessivo associato al bit S₁ è: 111. Il bit S₁ è di riempimento e privo di significato;
- 2) il secondo bit di ciascuno dei messaggi MS è 0 e quindi il messaggio complessivo associato al bit S₂ è: 000. Il bit S₂ è un bit informativo del 2° tributario;
- 3) il terzo bit di ciascuno dei messaggi MS è 0 e quindi il messaggio complessivo associato al bit S₃ è: 000. Il bit S₃ è un bit informativo del 3° tributario;
- 4) il quarto bit di ciascuno dei messaggi MS è 1 e quindi il messaggio complessivo associato al bit S₄ è: 111. Il bit S₄ è di riempimento e privo di significato.

Poiché il messaggio MS è ripetuto 3 volte se, in caso di errore di trasmissione un bit ha uno stato logico diverso dagli altri corrispondenti due bit, la presenza o l'assenza di stuffing è decisa per maggioranza. Ad esempio, se i tre messaggi MS valgono:

$$MS = 1001; \quad MS = 1000; \quad MS = 1001$$

è evidente che il 4° bit del secondo MS è errato e quindi per maggioranza il messaggio relativo al bit S₄ è da ritenersi 111 e tale bit è, pertanto, di riempimento.

Da quanto detto si deduce che il numero di bit informativi presenti in una trama non è costante ma varia tra un minimo di 820, nel caso che tutti i 4 bit S sono di stuffing (messaggio di stuffing 111), ad un massimo di 824 bit se non si è avuto nessuno stuffing (messaggio di stuffing 000).

Si può dimostrare che lo stuffing avviene all'incirca ogni 2 trame. In altre parole la probabilità che un bit S si di riempimento o informativo è di circa il 50%.

Per valutare tale probabilità si deve procedere come segue:

Essendo il numero di bit di trama 848 ed avendo fissato a 8.448 MHz la frequenza di cifra, si ricava che la durata della trama è:

$$T = \frac{848}{8.448 \cdot 10^6} = 100.38 \mu\text{sec}$$

La frequenza di ripetizione della trama vale:

$$f_T = \frac{1}{T} = 9.962 \text{ KHz}$$

La frequenza di cifra di ciascuno dei 4 tributari è di 2.048 MHz per cui la frequenza di cifra dei tributari risulta:

$$f_c = 4 \cdot 2.048 \cdot 10^6 = 8.192 \text{ MHz}$$

La frequenza relativa ai 12 bit di allineamento più i 12 bit del messaggio di stuffing vale:

$$f_a = 24 \cdot 9.962 \cdot 10^3 = 239.088 \text{ KHz}$$

La frequenza di cifra complessiva risulta:

$$f_{ct} = f_c + f_a = 8.431 \text{ Mbit/sec}$$

La frequenza relativa ai 4 bit di stuffing è:

$$f_s = (8.448 - 8.431) \cdot 10^6 = 17 \text{ Kbit/sec}$$

La frequenza del singolo bit di stuffing è $\frac{1}{4}$ di f_s e vale:

$$f_{sb} = \frac{17 \cdot 10^3}{4} = 4.25 \text{ Kbit / sec}$$

La probabilità con cui si presenta un bit di stuffing nelle trama risulta:

$$p = \frac{f_{sb}}{f_T} = \frac{4.25}{9.962} \cdot 100 = 42.6\%$$

10. Multiplazione asincrona di gerarchia superiore

I moltiplicatori e i demoltiplicatori asincroni di ordine superiore al 2° sono di tipo asincrono e sono realizzati utilizzando la stessa struttura logica descritta nel paragrafo precedente a proposito del moltiplicatore 2/8. Lo schema a blocchi è sempre riconducibile a quello di fig.31 e 32b). La differenza risiede solo nella diversa struttura della trama e, ovviamente, nelle diverse frequenze di lavoro.

I moltiplicatori di gerarchia superiore sono realizzati su schede elettroniche inserite in opportuni telai di centrale secondo la normativa N3. L'allarmistica posta sul telaio è ridotta a pochi diodi LED e per poter analizzare la struttura interna, gli allarmi e impostare i collegamenti del moltiplicatore ci si serve di un sistema a microprocessore che si collega sul frontale dell'apparato mediante un connettore RS232 a 9 poli.

Tale sistema è, sostanzialmente, costituito da un tastierino alfanumerico fornito di display con cui l'operatore di centrale gestisce il moltiplicatore.

10.1 Multiplazione asincrona a 34 Mbit

In fig.34 si riporta la struttura della trama di un multiplo asincrono di 3° livello.

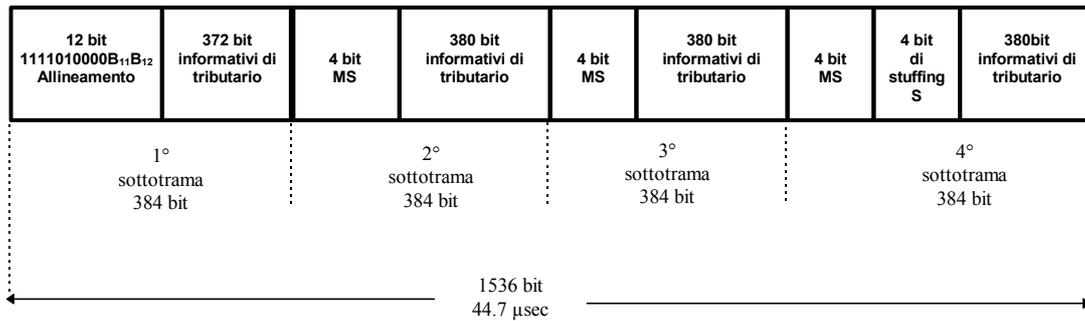


Fig. 34 Tempificazione della trama sincrona di 2° livello a 8.448 Mbit sec.

Il moltiplicatore 8/34 è in grado di affasciare 4 tributari a 8.448 Mbit/sec e genera un flusso numerico a 34.368 Mbit/sec. Anche in questo caso la frequenza di cifra è stata scelta multipla intera della frequenza base di 64 Kbit/sec. La struttura della parola di allineamento è a 12 bit e coincide nel significato dei bit con quella di 2° livello.

Anche la gestione dello stuffing è realizzata mediante 3 messaggi MS di 4 bit ciascuno che indicano se i bit S sono di riempimento (messaggio di stuffing 111) o sono bit informativi di tributario (messaggio di stuffing 000).

La trama è suddivisa in 4 sottotrame per una durata complessiva di 44.7 μsec.

Il numero di bit informativi per trama varia tra un minimo di 1512 bit, se tutti i bit S sono di stuffing (MS = 111) ad massimo di 1516 bit in assenza di stuffing (MS = 000).

Si può dimostrare che la probabilità che un bit S sia di stuffing è : $p = 43.5\%$.

In pratica, nelle centrali telefoniche, il livello di moltiplicazione a 8 Mbit non è disponibile direttamente per la trasmissione poiché esso è cambiato all'interno dei moltiplicatori a 34 Mbit. In altre parole, il moltiplicatore a 34 Mbit è una scheda elettronica costituita da 4 moltiplicatori a 8 Mbit e un moltiplicatore a 34 Mbit. All'ingresso di tale moltiplicatore giungono 16 flussi a 2.048 Mbit/sec che a gruppi di 4 sono prima affasciati in 4 flussi a 8.448 Mbit/sec e successivamente sono moltiplicati a 34.368 Mbit/sec.

10.2 Moltiplicazione asincrona a 140 Mbit

In fig.35 si riporta la struttura della trama di un sistema di moltiplicazione di 4° livello con frequenza di cifra $f_c = 139.264$ Mbit/sec.

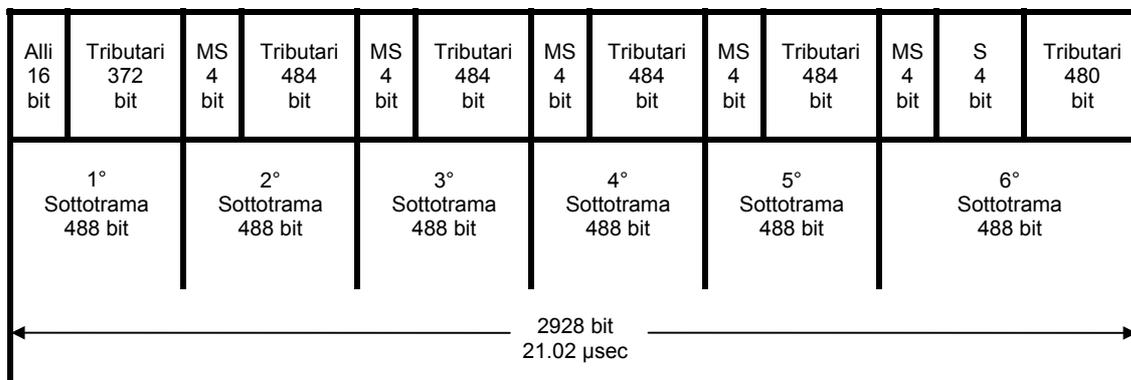


Fig. 35 Struttura della trama di un sistema di moltiplicazione a 140 Mbit.

La trama a 140 Mbit è costituita da 6 sottotrame per un totale di 2928 bit. La parola di allineamento è di 16 bit e vale:

$$A = 111110100000B_{13}B_{14}B_{15}B_{16}$$

I primi 12 bit costituiscono la vera parola di allineamento mentre B_{13} è impiegato per la segnalazione di allarme di fuori allineamento e i restanti bit realizzano un canale dati a 3 bit ad uso del gestore del servizio.

Il messaggio di stuffing MS è ripetuto, per ragioni di sicurezza, 5 volte. Il numero di bit informativi per trama varia tra un minimo di 2888, se tutti i bit di stuffing sono di riempimento (MS = 1111), ad un massimo di 2892, se tutti i bit di stuffing sono informativi (MS = 0000).

10.3 Multiplazione asincrona a 565 Mbit

In fig. 36 si riporta la struttura della trama relativa al 5° livello gerarchico caratterizzato da una frequenza di cifra $f_c = 564.992$ Mbit/sec.

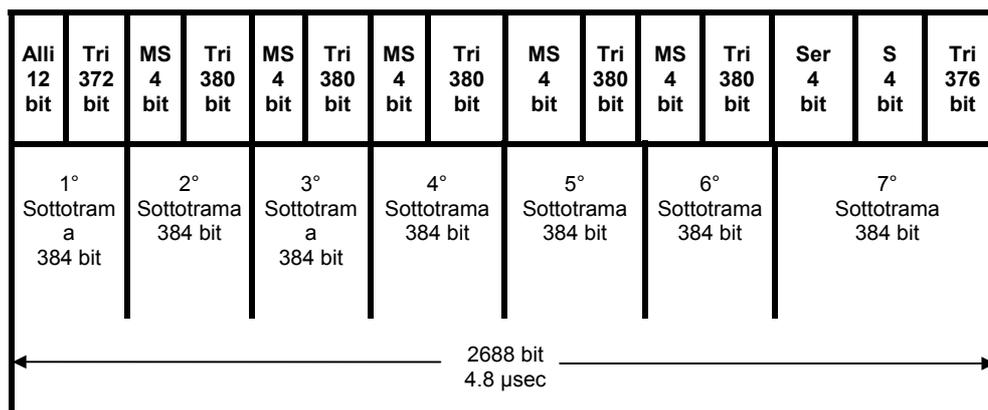


Fig. 35 Struttura della trama asincrona PCM a 565 Mbit.

La trama è costituita da 7 sottotrame ciascuna di 384 bit per un totale di 2688 bit. La parola di allineamento è a 12 bit e vale:

$$A = 111110100000$$

Il messaggio di stuffing è ripetuto 5 volte come nella trama a 140 Mbit.

Nella 7° sottotrama sono disponibili 4 bit di servizio utilizzati per segnalazioni ,di allarme e trasmissione dati ad uso del gestore.

11. Codici numerici di linea

I dispositivi numerici per telecomunicazioni sono, generalmente, dei sistemi computerizzati che operano con segnali digitali in logica TTL (Transistor Transistor Logic). Per tali segnali, come è noto, il livello logico basso corrisponde ad una tensione compresa tra $0 \div 0.8$ Volt, mentre il livello logico alto corrisponde ad una tensione compresa tra $2 \div 5$ Volt. La corrente massima di carico è limitata a pochi mA.

I segnali in logica TTL non sono, normalmente, idonei per essere inviati direttamente sui canali trasmissivi. E' necessaria una *codifica di linea* che ha il compito di produrre un codice idoneo alla trasmissione. Tale codifica viene realizzata da opportuni dispositivi noti come **terminali di linea**. L'apparato ricevente sarà fornito di analogo terminale di linea in grado di ricostruire il codice binario di trasmissione. I terminali di linea devono generare un codice in grado di soddisfare le seguenti esigenze:

1. il segnale di linea deve essere di tipo bipolare a valor medio nullo cioè privo di componente continua. Ciò si rende necessario poiché gli apparati ricetrasmittenti e i rigeneratori di linea presentano un accoppiamento a trasformatore che, come è noto, non permette il passaggio della corrente continua;
2. il segnale di linea deve consentire l'estrazione del segnale di sincronismo necessario per assicurare una corretta tempificazione degli apparati riceventi;
3. il segnale di linea non deve contenere lunghe sequenze di 0 consecutivi che rendono difficile l'estrazione del segnale di sincronismo.

Nei sistemi PCM si hanno lunghe sequenze di 0 se un canale tributario non è impegnato nella trasmissione. Ad esempio, se in una trama PCM a 2.048 Mbit/sec nessuno dei 30 canali fonici è impegnato i bit al livello 1 sono solo quelli relativi alla parola di allineamento di trama e multitrama.

I codici di linea di uso pratico impiegati nei sistemi numerici PCM sono stati normalizzati dall'ITU-T. Prima di analizzare alcuni dei codici numerici più diffusi è opportuno fare alcune considerazioni sui segnali digitali.

11.1. Potenza di un segnale numerico

Consideriamo un segnale digitale di ampiezza V_M costituito da una sequenza alternata di 0 e 1 come mostrato in fig.36.

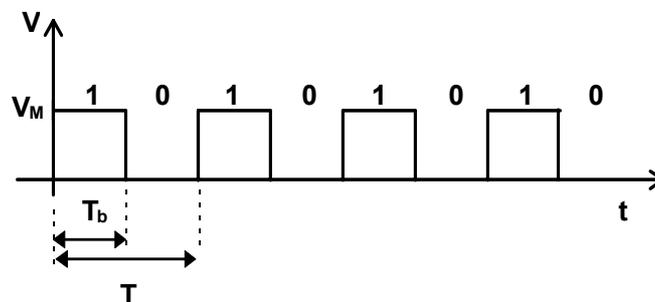


Fig.36 Rappresentazione di un segnale numerico unipolare.

Per tale segnale il duty cycle D vale:

$$D = \frac{T_b}{T}$$

Se $T_b = T/2$, il duty cycle vale $D = 0.5$ e l'onda è detta *onda quadra*.
La potenza erogata dal generatore di segnale è:

$$P = \frac{V^2}{R}$$

Dove con V si è indicato il valore efficace del segnale di comando. Tale valore, per definizione, si valuta mediante la seguente espressione:

$$V = \sqrt{\frac{1}{T} \cdot \int_0^T [f(t)]^2 dt}$$

Nel caso di fig.36 la funzione $f(t) = V_M$ per $0 < t < T_b$ mentre $f(t) = 0$ per $T_b < t < T$.
Il precedente integrale diventa:

$$V = \sqrt{\frac{1}{T} \cdot \int_0^T (V_M)^2 dt} = \sqrt{\frac{V_M^2 \cdot T_b}{T}} = V_M \cdot \sqrt{D}$$

La potenza P assume l'espressione:

$$P = \frac{V^2}{R} = \frac{V_M^2 \cdot D}{R}$$

Nel caso di onda quadra $D = 0.5$, per cui:

$$V = \frac{V_M}{\sqrt{2}} \quad \text{e} \quad P = \frac{V_M^2}{2 \cdot R}$$

Esattamente coincidente con le note formule relative ad un segnale sinusoidale di ampiezza V_M .

Si consideri ora un segnale numerico bipolare di ampiezza picco-picco pari a V_M , come mostrato in fig.37.

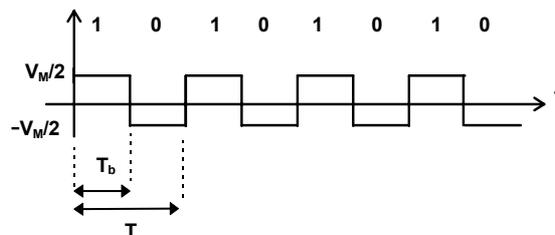


Fig.37 Segnale numerico bipolare.

Ripetendo la precedente analisi, è facile dimostrare che:

$$V = \frac{V_M}{2} \cdot \sqrt{D} \quad e \quad P = \frac{V_M^2 \cdot D}{4 \cdot R}$$

Per $D = 0.5$, si ha, in particolare:

$$P = \frac{V_M^2 \cdot D}{8 \cdot R}$$

In definitiva si è dimostrato che, a parità di ampiezza picco-picco, un generatore di segnale numerico bipolare eroga al carico una potenza 4 volte più piccola di quella di un generatore unipolare. Ciò giustifica il largo uso dei segnali bipolari come codici di linea.

11.2 Anali armonica di un segnale numerico

L'analisi armonica dei segnali periodici si effettua utilizzando lo *sviluppo in serie di Fourier* che stabilisce quanto segue:

Un segnale periodico $f(t)$ di periodo T e pulsazione: $\omega = 2\pi f_0$ è assimilabile alla somma di segnali sinusoidali di frequenza multipla di f_0 secondo la relazione:

$$f(t) = a_0 + \sum_{n=1}^{\infty} (a_n \cdot \cos n\omega t + b_n \cdot \sin n\omega t)$$

i coefficienti a_0 ; a_n ; b_n si calcolano utilizzando le seguenti formule:

$$a_0 = \frac{1}{T} \cdot \int_0^T f(t) \cdot dt ;$$

$$a_n = \frac{2}{T} \cdot \int_{-T/2}^{+T/2} f(t) \cdot \cos n\omega t \cdot dt ; \quad b_n = \frac{2}{T} \cdot \int_{-T/2}^{+T/2} f(t) \cdot \sin n\omega t \cdot dt$$

I segnali numerici riportati nelle fig.36 e fig.37 sono entrambi periodici di frequenza $f_0 = 1/T$ e duty cycle D .

Ogni periodo T individua 2 bit per cui, la *frequenza di cifra* f_c è il doppio di f_0 :

$$f_c = 2 \cdot f_0 \quad [\text{bit/sec}]$$

La frequenza di cifra indica il numero massimo di bit/sec che possono essere trasmessi. Il risultato precedente ci dice che con un segnale sinusoidale a frequenza f_0 è possibile trasmettere $2 \cdot f_0$ bit al secondo. Ciò è intuitivo poiché, assegnato un segnale sinusoidale a frequenza f_0 , alla semionda positiva si può associare il livello logico alto e a quella negativa il livello logico basso.

Nel caso di segnale numerico unipolare, del tipo di fig.36, lo sviluppo di Fourier vale.

$$f(t) = V_M \cdot D + 2V_M \cdot D \cdot \sum_{n=1}^{\infty} \left(\frac{\sin n\pi D}{n\pi D} \right) \cdot \cos(n\omega t - n\pi D)$$

Nel caso di onda quadra: $D = 0.5$, e considerando solo le prime armoniche si ha:

$$f(t) = \frac{V_M}{2} + \frac{2V_M}{\pi} \cdot \text{sen } \omega t + \frac{2V_M}{3\pi} \cdot \text{sen } 3\omega t + \frac{2V_M}{5\pi} \cdot \text{sen } 5\omega t + \dots$$

In fig.38 si riporta il relativo spettro in frequenza.

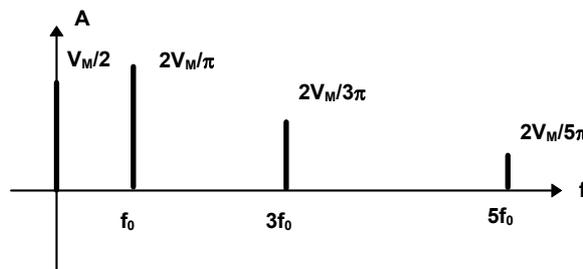


Fig.38 Spettro di Fourier del segnale periodico di fig.7.

Per il segnale numerico bipolare di fig.37, lo sviluppo di Fourier vale:

$$f(t) = 2V_M \cdot D \cdot \sum_{n=1}^{\infty} \left(\frac{\text{sen } n\pi D}{n\pi D} \right) \cdot \cos(n\omega t - n\pi D)$$

Lo spettro in frequenza è esattamente coincidente con quello del segnale unipolare a meno della componente continua $V_M/2$.

L'analisi sviluppata porta alle seguenti considerazioni:

1. gli spettri in frequenza dei segnali numerici unipolari e bipolari di stessa frequenza e stessa ampiezza picco-picco sono coincidenti a meno della componente continua presente solo nel segnale unipolare;
2. gli spettri in frequenza sono privi dell'armonica a frequenza di cifra $f_c = 2f_0$.

12. Codici di linea nei sistemi PCM

Gli apparati PCM generano segnali digitali in logica TTL denominati NRZ (Non return to Zero) costituiti da sequenze di 0 e 1. Il bit 1 è individuato dalla presenza di un impulso di durata pari a T_b , mentre il bit 0 è individuato dall'assenza di impulso elettrico. I codici NRZ sono impiegati come *codici interni* alle apparecchiature di centrale

In fig.39 si riporta il diagramma di tempificazione di un segnale in codice NRZ.

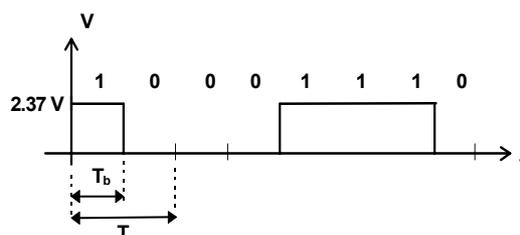


Fig.39 Diagramma temporale di un segnale in codice NRZ.

Per la trama PCM primaria a 2.048 Mbit/sec il tempo di bit è: $T_b = 488$ nsec mentre l'ampiezza del segnale è normalizzata a 2.37 V. Se si suppone un segnale alternato di 0 e 1 il periodo $T = 2 \cdot T_b = 976$ nsec a cui corrisponde la frequenza $f_0 = 1.024$ MHz.

Il segnale è detto NRZ poiché al termine di ciascun bit 1 lo stato logico non torna al livello basso. Una sequenza di 1 consecutivi lascia il segnale sempre al livello alto. Il segnale digitale in codice NRZ non soddisfa le caratteristiche generali richieste per la trasmissione in linea e, pertanto, deve essere trasformato in opportuno codice. Nei sistemi PCM di gerarchia fino a 34 Mbit/sec si impiegano, come codici di linea, il **codice AMI** (Alternate Mark Inversion) e il **codice HDB3** (High Density Bipolar). Nei sistemi PCM di gerarchia superiore a 140 Mbit/sec si utilizzano il **codice CMI** (Code Mark Inversion) e il **codice MS43** (Mark Space 43).

12.1. Codice AMI e codice HDB3

In fig.40 si riporta un diagramma di tempificazione che consente di analizzare i passaggi fondamentali che permettono di trasformare il codice binario NRZ in codice AMI o HDB3. Nell'analisi che segue si farà riferimento al caso di un sistema di trasmissione PCM di primo livello a 2.048 Mbit/sec.

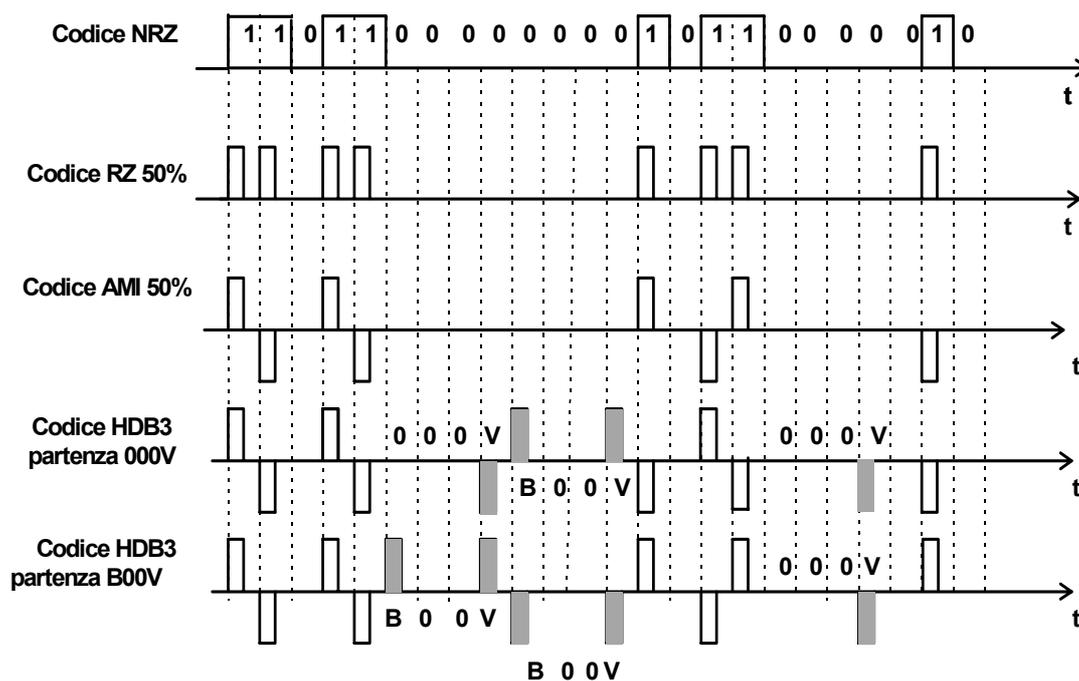


Fig.40 Diagrammi temporali di alcuni codici utilizzati nei sistemi PCM.

L'analisi di Fourier, relativa al segnale NRZ, indica che lo spettro in frequenza, del tipo di fig.38, presenta una componente continua indesiderata per la trasmissione in linea. Inoltre, è assente l'armonica a frequenza $f_c = 2 \cdot f_0 = 2.048$ MHz che rappresenta proprio la frequenza di sincronismo di clock per il funzionamento degli apparati riceventi e dei rigeneratori di linea. Il segnale in codice NRZ deve, pertanto, essere modificato.

Inizialmente è trasformato nel codice RZ 50% (Return to Zero) nel quale il bit 1 ha durata pari al 50% del corrispondente bit 1 del codice NRZ. Nei sistemi a 2.048 Mbit/sec il tempo di bit T_b è pari 488nsec, per cui il bit 1 in RZ ha durata di 244 nsec.

E' facile verificare che lo sviluppo in serie di Fourier di un segnale periodico in codice RZ 50% contiene ancora una componente continua, poiché il segnale è unipolare, ma l'armonica a 2.048 MHz è diversa da zero per cui è possibile l'estrazione del segnale di sincronismo. La componente continua è eliminata trasformando il segnale RZ 50% in codice bipolare AMI 50% ottenuto, dal codice RZ 50%, invertendo alternativamente la polarità dei bit 1. Lo spettro in frequenza di tale segnale non presenta componente continua ma, purtroppo, non contiene neppure l'armonica a 2.048 MHz.

Nei sistemi PCM che impiegano il codice AMI 50% come codice di linea, il segnale è inviato nel canale come AMI 50% ma, al ricevitore, è trasformato prima in RZ 50%, in modo da poter estrarre il segnale di sincronismo e, successivamente, nel codice binario NRZ. Il codice AMI 50% consente una parziale rivelazione degli errori controllando che sia sempre presente alternanza di polarità nel segnale di linea. Una violazione a tale regola indica la presenza di un errore.

Un altro codice ampiamente utilizzato negli apparati PCM è il codice HDB3. Esso è derivato dal codice AMI 50% poiché è un codice bipolare con durata del bit 1 ridotta del 50% rispetto a quella dell'originario NRZ. La differenza è nella codifica delle lunghe sequenze di 0. Precisamente, il codice HDB3 è esattamente coincidente con il codice AMI 50% quando nella sequenza binaria da trasmettere non sono presenti più di 3 zeri consecutivi. Nel caso in cui vi sono 4 zeri consecutivi, questi sono sostituiti da 4 bit che presentano degli 1 fittizi in modo da garantire la bipolarità del segnale di linea. Gli 1 fittizi, per poter essere riconosciuti ed eliminati dal ricevitore, sono inseriti in modo da creare delle **violazioni** di polarità in base a ben determinate regole.

Nella fig.40 le violazioni sono indicate con una ombreggiatura nel bit. I primi 4 zeri consecutivi della sequenza sono sostituiti da uno dei seguenti gruppi di bit:

- a) **0 0 0 V**
- b) **B 0 0 V**

Se si usa come partenza il gruppo 000V, l'ultimo zero della sequenza dei 4 zeri consecutivi è sostituito da una *violazione V*; cioè da un impulso di stessa polarità dell'ultimo impulso trasmesso. Se si sceglie come partenza la sequenza B00V allora, il primo zero è inviato in linea con polarità opposta all'ultimo impulso trasmesso in modo da mantenere la bipolarità (B), mentre il quarto zero è un impulso di violazione con stessa polarità di B. E' indifferente partire con la sequenza 000V oppure con la B00V. I successivi gruppi di 4 zeri consecutivi saranno codificati con la sequenza 000V oppure con la B00V in modo che la polarità delle violazioni introdotte siano di segno opposto. In tal modo si garantisce una continua bipolarità del segnale trasmesso in linea.

Un circuito di conteggio conta gli impulsi bipolari a partire dalla precedente violazione; se tale numero è dispari si inserisce la sequenza 000V se invece è pari si usa la sequenza B00V.

L'apparato ricevente deve eliminare i bit fittizi di violazione in modo da ricostruire il codice AMI 50%. Successivamente il codice AMI 50% è trasformato in RZ 50% in modo da estrarre la frequenza di sincronismo a 2.048 MHz e successivamente in codice NRZ.

Il codice HDB3 consente un parziale controllo degli errori verificando sia la bipolarità del segnale che il rispetto della regola di inserzione delle quaterne 000V e B00V.

Il codice HDB3 descritto è il caso particolare, utilizzato nella pratica, del più generale codice **HDB n** dove l'indice **n** indica il numero di zeri consecutivi oltre il quale si deve si inizia la procedura di inserzione delle sequenze contenenti impulsi di violazione alla regola della bipolarità. Nel codice HDB n le sequenze di **n+1** zeri sono sostituite da sequenze del tipo:

- a) 000.....0V
- b) B00.....0V

12.2. Codice 1B-2B tipo CMI e CMI modificato

Il codice CMI (Code MarK Inversion) è un codice bipolare impiegato nelle interfacce interne di centrale dei sistemi PCM a 140 Mbit/sec. Il codice CMI è noto come codice 1B-2B poiché associa 2 bit a ciascun bit del codice NRZ.

Precisamente, la trasformazione NRZ-CMI si ottiene nel seguente modo:

- a) al bit 0 del codice NRZ si fanno corrispondere i bit 01;
- b) al bit 1 del codice NRZ si fanno corrispondere alternativamente la coppia 00 e 11.

I convertitori di codice da NRZ a CMI e viceversa, sono realizzati con circuiti digitali in logica ECL (Emitter Coupled Logic) con livelli di tensione di ± 0.5 V.

In fig.41a) si mostra lo schema logico di un convertitore NRZ/CMI, mentre in fig.41b) si riporta il relativo diagramma di tempificazione.

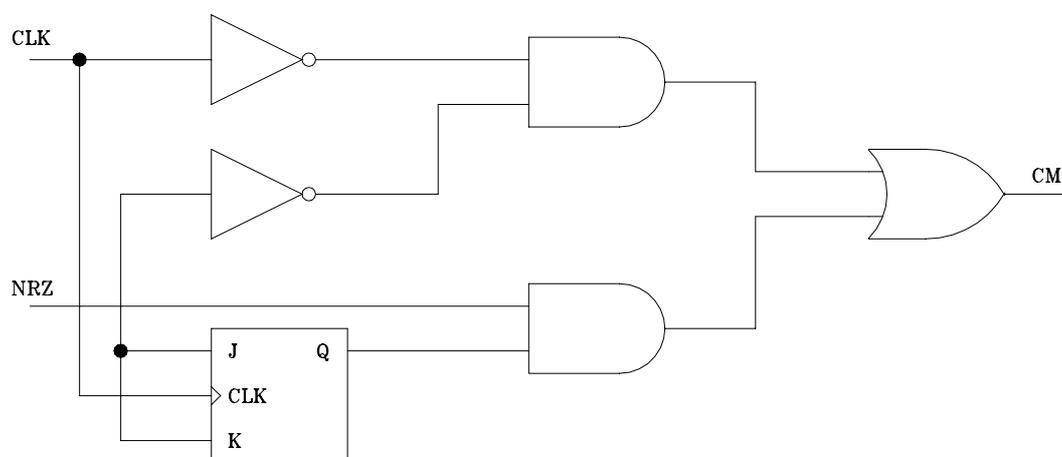


Fig. 41a) Schema logico di un convertitore NRZ/CMI.

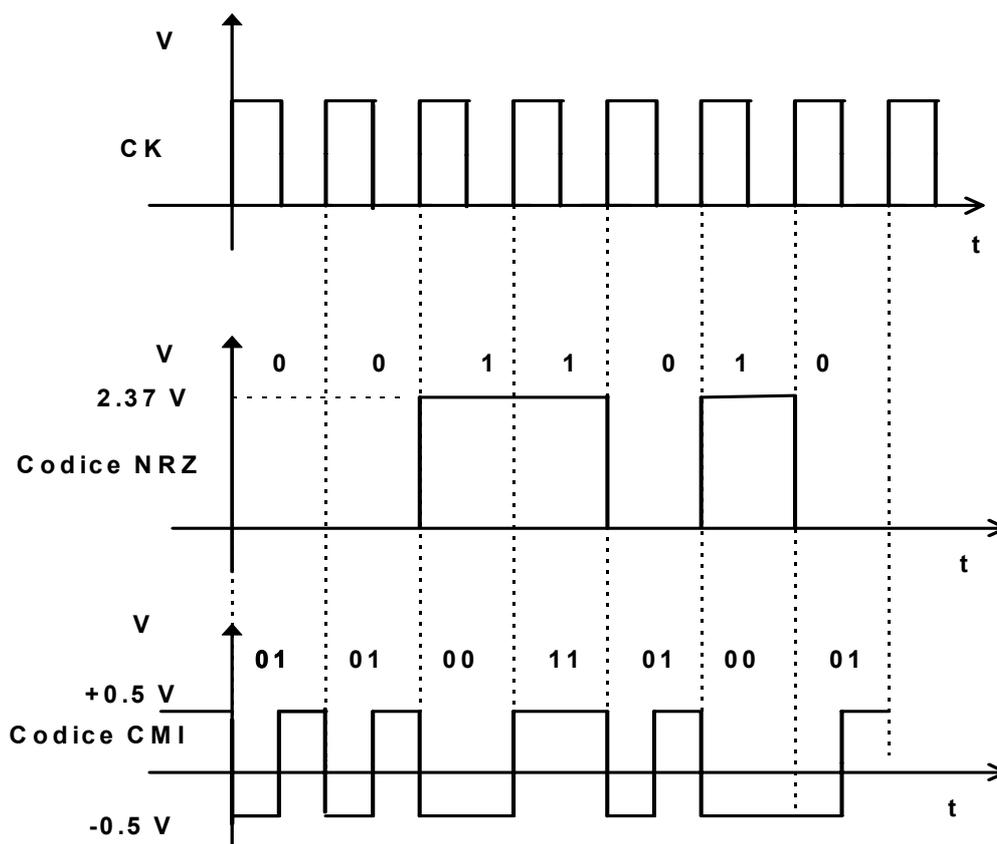


Fig.41b) Diagramma di tempificazione di un convertitore NRZ/CMI.

Il circuito fa uso di un flip-flop JK, in configurazione T, attivo sul fronte di salita del segnale di clock. L'uscita Q del flip-flop, supposto inizialmente nello stato $Q = 1$, cambia stato logico solo se, in sincronismo con il fronte di salita del clock, il bit del codice NRZ è al livello alto. Le due porte logiche AND insieme alla porta OR realizzano un multiplexer.

Il funzionamento del circuito si può riassumere nel seguente modo:

- se $NRZ = 0$, è abilitata la porta AND superiore per cui il codice di uscita CMI coincide con il segnale di clock CK complementato;
- se $NRZ = 1$, è abilitata la porta AND inferiore per cui il codice di uscita CMI coincide con Q che, alternativamente, assume i valori 0 e 1.

In fig.42 si riporta il circuito che realizza la conversione inversa da codice CMI a NRZ. In questo caso il circuito impiega un dispositivo che ritarda il segnale di ingresso CMI di un tempo pari a $T_b/2$ e un flip-flop di tipo D attivo sul fronte di discesa del segnale di clock. L'uscita Q del flip-flop assume lo stesso valore che l'entrata D ha nell'istante di transizione negativa del segnale di clock.

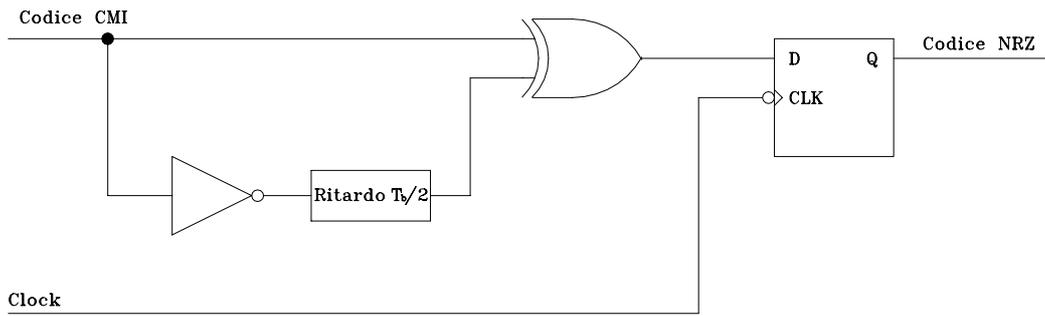


Fig.42 Convertitore CMI-NRZ.

Il segnale di uscita in codice NRZ risulta ritardato di $T_b/2$ rispetto all'originario segnale NRZ.

Codice CMI modificato

Il codice HDB3, analizzato nel paragrafo precedente, è costituito da impulsi di tensione positivi e negativi che sono inviati in linea. Se il canale di comunicazione è una fibra ottica tale codice non può essere impiegato poiché gli impulsi luminosi sono di tipo unipolare: 0 assenza di impulso luminoso, 1 presenza di impulso luminoso. In questi casi, il codice bipolare HDB3 è trasformato in un particolare codice unipolare di tipo CMI. Questo nuovo codice **CMI modificato** è noto come MCMI. La tabella 6 mostra la conversione HDB3-CMI.

Tabella 6.
Codice di conversione HDB3-MCMI

HDB3	MCMI
-1	00
0	01
+1	11

In fig.43 si riporta il diagramma di tempificazione relativo alla conversione HDB3-MCMI.

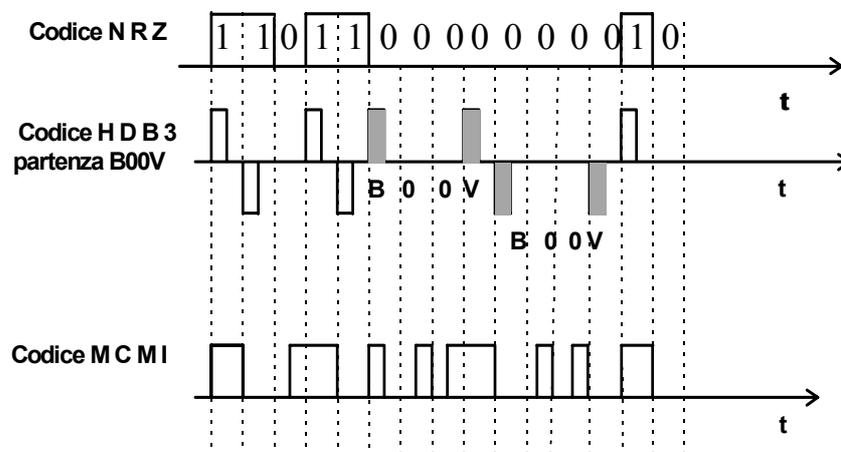


Fig.43 Conversione dal codice HDB3 a codice CMI modificato.

12.3. Codici 4B-3T tipo MS43 e MS43 modificato

Il codice MS43 è un codice di linea impiegato, principalmente, nei sistemi in cavo coassiale a 34 Mbit/sec e 140 Mbit/sec. Il codice è detto 43 (si legge quattro tre) perché associa a quaterne binarie NRZ parole ternarie. In tabella 2 si riporta il codice di conversione NRZ-MS43. Nel codice ternario il simbolo + indica che in linea è trasmesso un impulso positivo, il simbolo - indica un impulso negativo, mentre il simbolo 0 indica assenza di impulso.

In tabella 7 si riporta l'associazione tra quaterne binarie NRZ e codice ternario MS43.

Tabella 7. Conversione NRZ-MS43

Codice NRZ	Codice MS43			
	Stato 1	Stato 2	Stato 3	Stato 4
0000	+++	+-	-+-	-+-
0001	++0	00-	00-	00-
0010	+0+	0-0	0-0	0-0
0011	0-+	0-+	0-+	0-+
0100	0++	-00	-00	-00
0101	-0+	-0+	-0+	-0+
0110	-+0	-+0	-+0	-+0
0111	-++	-++	-++	-++
1000	+ - +	+ - +	+ - +	- - -
1001	00+	00+	00+	- - 0
1010	0+0	0+0	0+0	- 0 -
1011	0+-	0+-	0+-	0+-
1100	+00	+00	+00	0 - -
1101	+0-	+0-	+0-	+0-
1110	+ - 0	+ - 0	+ - 0	+ - 0
1111	+ + -	+ + -	+ + -	+ + -

Per ottenere la trasformazione richiesta si deve conto sia della tabella 7 che del diagramma degli stati di fig.44.

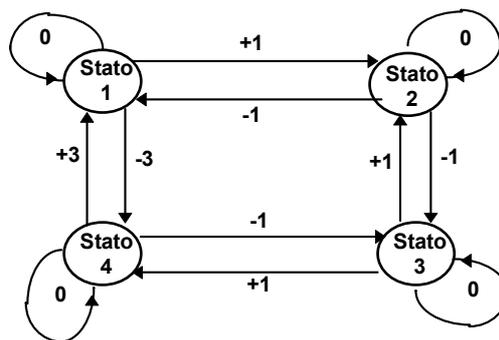


Fig. 44 Diagramma degli stati per la trasformazione NRZ-MS43

L'algoritmo di trasformazione opera nel seguente modo:

Ai primi 4 bit NRZ si fa corrispondere la terna che si legge nella colonna chiamata **Stato 1**, a tale terna si associa un numero **a** dato dalla somma algebrica dei simboli + e - della terna in esame. Il numero **a** così trovato, indicato sui segmenti orientati del diagramma degli stati, fornisce la transizione al nuovo stato. Alle successive quaterne di

bit NRZ si applica la stessa procedura. Ad esempio, supponiamo di voler codificare in MS43 il messaggio binario NRZ: **0100 1111 0011**.

Ai primi 4 bit **0100** si fa corrispondere la terna **0++** che si legge nella tabella 2 nella colonna indicata con **stato 1**. Tale terna ha: $a = +2$ (due segni positivi). Dal diagramma degli stati si osserva che con $a = +2$ dallo **stato 1** si passa nello **stato 3**. La successiva quaterna: **1111** è codificata, in base alla colonna denominata **stato 3**, in **+ - -**. Tale terna presenta $a = -1$ (un segno positivo, due negativi) per cui dallo **stato 3** si transita nello **stato 2**. La successiva sequenza: **0011** è codificata in base alla colonna indicata con **stato 2** che associa a **0011** la terna: **0 - +**.

In definitiva, si ha:

0100	1111	0011
0 ++	+ - -	0 - +

Il ricevitore codice MS43 consente un parziale controllo degli errori nel caso in cui si verificano delle violazioni all'algoritmo di conversione.

Il codice MS43 è caratterizzato da una velocità in linea inferiore a quella binaria in codice NRZ. Infatti, a 4 simboli binari corrispondono 3 simboli ternari. Il fattore K di riduzione della velocità vale, pertanto: $K = 4/3$.

Si osservi, inoltre, che delle $3^3 = 27$ combinazioni ternarie la **000** non è mai utilizzata per la codifica del codice binario. Tale terna è impiegata dagli apparati ritrasmettenti come parola di allineamento per la sincronizzazione del sistema.

Codice MMS43

Una variante del codice MS43 è il **codice MMS43** (Modified MS43). L'unica differenza tra i due codice è, in poche modifiche, della tabella di corrispondenza tra quaterne NRZ e simboli ternari. La nuova scelta, mostrata in tabella 8, ottimizza le caratteristiche di trasmissione legate allo spettro di potenza del segnale di linea.

Tabella 8. Conversione NRZ-MMS43

Codice NRZ	Codice MMS43			
	Stato 1	Stato 2	Stato 3	Stato 4
0000	+++	-+-	-+-	-+-
0001	++0	00-	00-	00-
0010	+0+	0-0	0-0	0-0
0011	0-+	0-+	0-+	0-+
0100	0++	-00	-00	-00
0101	-0+	-0+	-0+	-0+
0110	-+0	-+0	-+0	-+0
0111	-++	-++	--+	--+
1000	+ - +	+ - +	+ - +	- - -
1001	00+	00+	00+	- - 0
1010	0+0	0+0	0+0	- 0 -
1011	0+-	0+-	0+-	0+-
1100	+00	+00	+00	0 - -
1101	+0-	+0-	+0-	+0-
1110	+ - 0	+ - 0	+ - 0	+ - 0
1111	++-	++-	+ - -	+ - -

Il diagramma degli stati e l'algoritmo di conversione è perfettamente uguale a quella del codice MS43.

13. Principi generali della gerarchia PCM sincrona SDH

Le reti di telecomunicazione hanno subito in questi ultimi anni enormi trasformazioni dovute principalmente all'introduzione delle tecniche digitali e all'uso sempre più intenso di sistemi informatizzati. L'avvento delle tecniche numeriche sia negli apparati di trasmissione che di commutazione e la necessità di realizzare collegamenti internazionali mediante procedure standard hanno indotto gli organismi preposti alla standardizzazione a definire la strategia ottimale per la sincronizzazione e la moltiplicazione della rete numerica. Le possibili tecniche di moltiplicazione numerica sono, come già noto, quella plesiocrona e quella sincrona. Quest'ultima è sicuramente più semplice e più affidabile di quella asincrona ma richiede che ci sia un orologio principale in grado di sincronizzare tutti gli apparati di moltiplicazione e commutazione dell'intera rete di telecomunicazioni. L'impossibilità di disporre di un simile sistema di sincronizzazione ha portato, negli anni passati, allo sviluppo dei sistemi di tipo plesiocrono descritti nei paragrafi precedenti.

Lo sviluppo della tecnologia ha consentito la realizzazione di generatori di segnali di sincronismo ad elevata stabilità ed affidabilità. Ciò ha indotto gli organismi internazionali a definire una nuova gerarchia di moltiplicazione sincrona denominata **Synchronous Digital Hierarchy SDH**.

Già dalla fine degli anni '80 negli Stati Uniti fu progettata una rete numerica sincrona, con frequenza di cifra di 51.84 Mbit/sec, denominata SONET (**Synchrnuos Optical NETwork**) ottimizzata per la gestione dei flussi numerici della gerarchia asincrona impiegata negli USA.

Dall'esperienza del sistema SONET e dalla necessità di interfacciare il sistema PCM plesiocrono Europeo con quello Americano, nel Giugno del 1988 l'ITU-T definì le caratteristiche generali delle gerarchie SDH nelle raccomandazioni G.707, G.708 e G.709. L'anno successivo, dopo un lavoro di revisione e aggiornamento, furono emanate le seguenti raccomandazioni:

- G.781, G.782, G.783 e G.784 relative alla definizione degli apparati SDH;
- G.957 relativa alla definizione dell'interfaccia ottica;
- G.958 relativa alla definizione del sistema di linea.

Nel 1990 a Parigi fu definita dal ETSI (European Telecommunication Standard Institute) la struttura di moltiplicazione SDH da adottare in ambito Europeo.

Infine, nel 1992 furono approvate le raccomandazioni del CCIR per i ponti radio operanti in tecnica SDH.

L'esigenza dello sviluppo di una rete sincrona deriva anche dalla necessità di avere sistemi trasmissivi e di commutazione flessibili e con elevate capacità gestionali in grado di adattarsi alle esigenze di nuovi servizi telematici di trasmissione veloce di dati, suoni e immagini.

La gerarchia plesiocrona non risulta adeguata a queste nuove esigenze per i seguenti motivi:

- le trame delle diverse gerarchie sono di durata diversa;
- i flussi di livello gerarchico superiore a quello base DM0 a 64Kb/sec, sono diversi nella gerarchia Europea, Americana e Giapponese come indicato in tabella 9.

Livello Gerarchico	Europa Kbit/sec	Stati Uniti Kbit/se	Giappone Kbit/sec
DM0	64	64	64
DM1	2048	1544	1544
DM2	8448	6312	6312
DM3	34368	44736	32064
DM4	139264	139264	97728

Nelle comunicazioni internazionali appositi apparati di centrale consentono di adattare i flussi plesiocroni in funzione dei diversi standard nazionali.

- ridotto numero di bit e di canali ausiliari di *intestazione*, detti anche di *overhead*, per la gestione, la protezione e la supervisione dei collegamenti PCM. La gestione dei collegamenti è affidata a pochi bit presenti nella trama plesiocrona. Ciò ha portato alla realizzazione di sistemi di supervisione aggiuntivi, non standardizzati, ed esterni agli apparati PCM per effettuare telemisure e controllo sulla qualità del flusso numerico con conseguente aumento della complessità della rete;
- le tecniche plesiocrone non si adattano bene alle nuove strutture di reti multipunto per la trasmissione dati che devono essere flessibili e configurabili secondo le esigenze dell'utenza;
- l'estrazione o l'inserzione di un singolo tributario di ordine inferiore da un flusso di gerarchia superiore necessita di numerose moltiplicazioni e demoltiplicazioni. Ad esempio, se un flusso numerico deve attraversare una centrale e da esso si deve estrarre un tributario a 2 Mbit è necessario effettuare tutta una serie di moltiplicazioni e demoltiplicazioni mostrate sinteticamente in fig. 45.

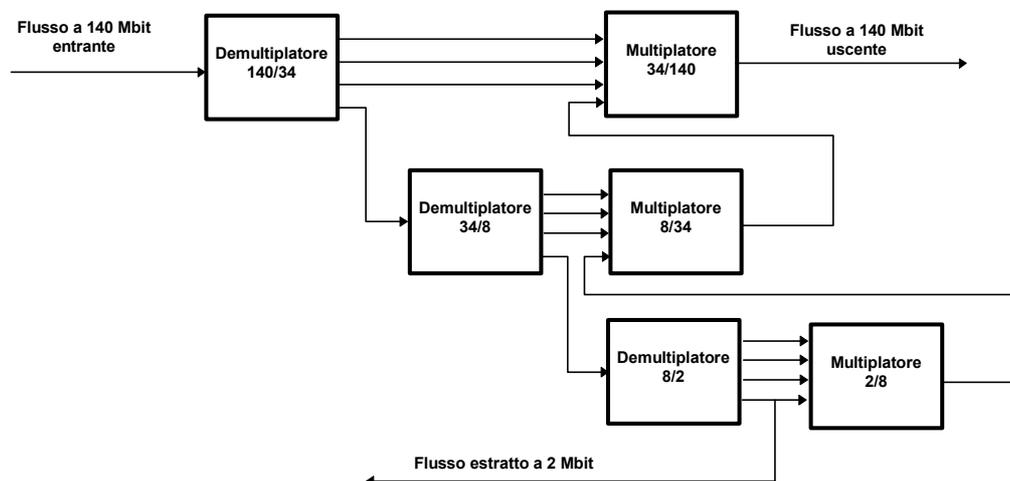


Fig. 45 Estrazione di un flusso a 2 Mbit da uno a 140 Mbit nella rete plesiocrona.

- le funzioni di moltiplicazione asincrona si realizzano su flussi numerici sequenziali per cui la velocità massima di lavoro è limitata dalla tecnologia degli apparati. Tale velocità risulta inferiore a quella disponibile nelle direttrici in fibra ottica. Ciò si traduce in un limitato sfruttamento delle potenzialità trasmissive della fibra ottica. Nei sistemi SDH le operazioni di moltiplicazione si realizzano in forma parallela consentendo, a parità di tecnologia, una maggiore frequenza di trasmissione.

La gerarchia numerica sincrona SDH supera ampiamente i limiti presente nella rete plesiocrona. I principali vantaggi offerti dalla gerarchia SDH si possono riassumere nei seguenti punti:

- tecniche di multiplazioni in grado di affasciare segnali PCM di diverse gerarchie;
- utilizzo di portanti in fibra ottica in modo da realizzare una rete ad elevata velocità di trasmissione con bassi valori di attenuazione. Si prevedono velocità di cifra superiori a diverse decine di Gbit/sec con passi di ripetizione di oltre 100 Km. Le centrali di commutazione dovranno operare con segnali luminosi mediante opportune *matrici di commutazione ottiche*.
- sistemi di interfacciamento compatibili tra i diversi costruttori di apparati PCM;
- elevata capacità di gestione, protezione del traffico e supervisione dell'intera rete grazie alla disponibilità di software avanzato per telecomunicazioni. Nella trama SDH sono inseriti numerosi bit in grado di realizzare un capillare controllo sulla qualità della trasmissione;
- possibilità di estrazione e inserimento di flussi numerici senza necessità di effettuare numerose operazioni di multiplazione e demultiplazione;
- multiplazione sincrona standardizzata a livello mondiale dall'ITU-T in modo da consentire l'interconnessione diretta dei sistemi PCM Europeo e Americano. I livelli gerarchici SDH definiti dall'ITU-T sono stati strutturati in moduli denominati *Synchronous Transport Module- level N* e indicati con **STM-N**.

In tabella 10 si riportano i livelli gerarchici della rete SDH.

Tabella 10
Livelli gerarchici della rete SDH

Livello Gerarchico	Frequenza di cifra Mbit/sec	Periodo di trama μ sec
STM-1	155.520	125
STM-4	622.080	125
STM-16	2488.320	125
STM-64	9953.280	125

Le frequenze di cifra delle gerarchie superiori sono multiple di 4 rispetto al livello base STM-1 e le loro trame sono ottenute interlacciando quelle di ordine inferiore senza aggiunta di bit di ridondanza. Il valore della frequenza di cifra di STM-1 è stata scelta in modo da soddisfare due esigenze fondamentali: la prima, Americana, di avere un flusso sincrono a frequenza multipla di quella di cifra di 51.84 Mbit/sec della rete SONET, la seconda, Europea, di poter trasportare nel livello STM-1 il segnale plesiocrono a 140 Mbit considerato come il livello più alto che deve rimanere inalterato nel sistema SDH. La multiplazione SDH presenta, comunque, alcuni inconvenienti: La capacità del livello base STM-1 è spesso eccessiva per alcune applicazioni pratiche come ad esempio le comunicazioni decentrate rurali. Inoltre, la SDH essendo il compromesso di diverse esigenze non è ottimizzata per la trasmissione dei flussi plesiocroni Europei.

Ad esempio, il modulo di trasporto STM-1 è in grado di multiplare 1 flusso a 140 Mbit, oppure 3 flussi da 34 Mbit (invece dei 4 possibili nel 140 Mbit), oppure 63 flussi a 2 Mbit (invece dei 64 possibili nel 140 Mbit). Esistono anche combinazioni miste oltre a quelle indicate.

13.1 Struttura della rete SDH

Nella trama sincrona di 1° livello STM-1 devono poter confluire tutti i flussi PCM sia della gerarchia Europea che Americana. Pertanto, a seconda del tributario asincrono che si deve affasciare, è necessario effettuare una serie di moltiplicazioni che portano la frequenza di cifra a quella base di 155.520 Mbit/sec. Tali moltiplicazioni si realizzano impiegando dei circuiti elettronici computerizzati definiti nelle normative dell'ITU-T. Tali apparati, denominati *contenitori* realizzano delle particolari strutture numeriche che contengono sia i bit informativi dei tributari che un certo numero di bit di servizio per la gestione e il controllo della trasmissione.

Le operazioni di moltiplicazioni seguono la stessa logica che si utilizza quando si vuole trasportare con un treno dei prodotti mediante dei *container*. I diversi prodotti, cioè i tributari, sono impacchettati in dei contenitori etichettati in modo da poter individuare la natura del carico, l'indirizzo del destinatario e altre caratteristiche di controllo. I pacchi più piccoli sono inseriti a loro volta in contenitori sempre più grandi tutti etichettati. Alla fine il contenitore più grande è quello che è posto sul treno (modulo di trasporto STM) per essere inviato a destinazione.

Nei sistemi SDH la capacità informativa utile legata ai tributari è detta *PAYLOAD* mentre i byte di servizio per la gestione dell'allarmistica, della qualità della trasmissione, della stima del tasso di errore, ecc., costituiscono una capacità aggiuntiva detta *OVERHEAD*.

In fig.46 si riporta lo schema generale della moltiplicazione SDH normalizzato per l'Europa dal ETSI sulla base di una struttura generale valida a livello mondiale definita dall'ITU-T.

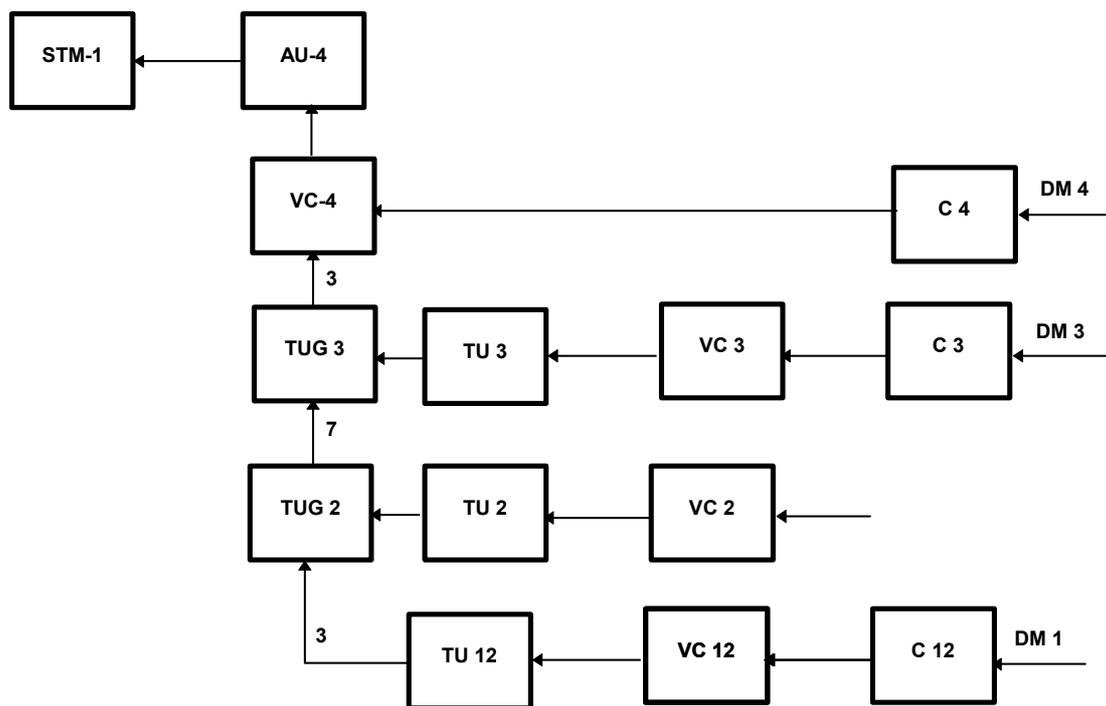


Fig. 46 Struttura di moltiplicazione ETSI della gerarchia SDH.

Dalla figura si ricava immediatamente il numero e il tipo di contenitori necessari per l'inserzione del flusso numerico nella rete SDH. Ad esempio, per inserire un flusso plesiocrono a 2.048 Mbit/sec è necessario utilizzare i seguenti elementi:

- Contenitore C 12
- Contenitore Virtuale VC 12
- Unità Tributaria TU 12
- Gruppo di Unità Tributaria TUG 2
- Gruppo di Unità tributaria TUG 3
- Contenitore Virtuale VC 4
- Unità Amministrativa AU 4
- Gruppo di Trasporto STM-1

I numeri indicati sulle frecce orientate indicano che in quel contenitore devono confluire più contenitori di ordine inferiore. Ad esempio, il Gruppo di Unità Tributarie TUG 2 è in grado di affasciare 3 Unità tributarie TU 12.

Il contenitore VC2 è un particolare modulo che consente la cosiddetta *concatenazione*, normalizzata nella raccomandazione G.709. Tale tecnica offre la possibilità di trasportare sulla rete SDH un flusso numerico avente capacità diversa da quella dei contenitori C, permettendo di svincolare la capacità trasmissiva dei nuovi servizi a larga banda da quella dei contenitore C.

Nella struttura generale della rete SDH dell'ITU-T sono presenti molti altri contenitori necessari per gestire i flussi numerici diversi da quelli della gerarchia Europea.

Ad esempio, nella struttura Americana i contenitori C12 e VC12 sono sostituiti da altri contenitori, denominati C11 e V11, necessari per l'inserzione dei flusso plesiocrono Americano DM1 a 1.544 Mbit/sec.

Gli elementi che realizzano la struttura SDH sono:

- 1) il *Contenitore C*. E' una struttura di trama che contiene i bit di tributario plesiocrono da affasciare più una serie di bit di servizio (overhead di contenitore). I contenitori utilizzati sono riportati nelle seguente tabella 11.

Tabella 11
Contenitori della gerarchia SDH

Tipo di Contenitore	Europeo
C-12	2.048 Mbit/sec
C-3	34.368 Mbit/sec
C-4	139.264 Mbit/sec

Il contenitore C12 organizza i bit del tributario plesiocrono DM1 a 2.048 Mbit/sec in una struttura a matrice di byte, detta payload, composta da 140 byte organizzati in 4 trame della durata di 125 μ sec ciascuna, come mostrato nella seguente tabella 12

Tabella 12
Struttura del contenitore C12

0	1	2	35			70			105		
---	---	---	----	--	--	----	--	--	-----	--	--

3	4	5	6												
7	8	9	10												
11	12	13	14												
15	16	17	18												
19	20	21	22												
23	24	25	26												
27	28	29	30												
31	32	33	34				69				104	1		139	
← 125 µsec →				← 125 µsec →				← 125 µsec →				← 125 µsec →			

La multitrama del C12 ha una durata complessiva di 500 µsec ed è composta da 9 righe e 16 colonne. I 4 byte numerati con 0, 35, 70 e 105 sono impiegati come overhead per il contenitore di ordine superiore VC12.

Il numero di bit che entrano nel C12 in 500 µsec alla velocità di 2.048 Mbit/sec sono:

$$2.048 \cdot 10^6 \cdot 500 \cdot 10^{-6} = 1024 \text{ bit}$$

a cui corrispondono: 128 byte. Escludendo i 4 byte di overhead del VC12, restano 8 byte utilizzati come bit di servizio e bit di stuffing. Lo stuffing si rende necessario per compensare la diversa velocità tra il segnale plesiocrona entrante a 2.048 Mbit/sec e quello uscente dal C12.

Il contenitore C3 organizza il flusso plesiocrono a 34 Mbit/sec in una struttura a matrice di byte di 9 righe e 84 colonne della durata di 125 µsec. Anche il C3 contiene bit informativi e bit di servizio e stuffing.

Il contenitore C4 organizza il flusso plesiocrono a 140 Mbit/sec in una struttura a matrice di byte costituita da 9 e 260 colonne della durata di 125µsec, contenete bit informativi, di servizio e di stuffing.

Il contenitore C svolge il ruolo fondamentale di realizzare il sincronismo adeguando la frequenza di cifra del tributario plesiocrono entrante a quella del flusso sincrono. Ogni trama sincrona della durata di 125 µsec proveniente dal contenitore subisce una serie di moltiplicazione nei contenitori di ordine superiore fino ad ottenere, nella trama STM-1, una frequenza di cifra di 155.520 Mbit/sec. Nei processi di moltiplicazione la durata della trama non varia mantenendo costante il proprio valore a 125 µsec.

2) il *Contenitore Virtuale Basilare VC*. E' una struttura organizzata a byte che gestisce i flussi dei contenitori C.

Il contenitore VC12 gestisce il C12. La trama del contenitore virtuale è costituita da un capacità utile, il *payload* relativa al contenitore C12, e una capacità di servizio, l'*overhead*, per la gestione del tasso di errore, l'allarmistica l'indicazione del tipo di moltiplicazione e la verifica della continuità del collegamento;

3) il *Contenitore Virtuale di Ordine Superiore VC*. Vi sono due tipi di VC di ordine superiore il VC-3 e il VC-4. Il primo gestisce il contenitore C3, il secondo il C4. Entrambi sono organizzati in una struttura a byte della durata di 125 µsec. Essi contengono, come il VC di ordine inferiore, sia i bit utili che di servizio;

4) l'*Unità Tributaria TU*. E' una struttura di trama che contiene un contenitore virtuale VC più una capacità di servizio costituita da byte informativi, denominati *puntatore*, che consentono di individuare la posizione del contenitore virtuale più una serie di byte ausiliari di riempimento.

L'unità tributaria provvede all'adattamento tra il livello di percorso di ordine inferiore (VC) e il livello di percorso di ordine superiore (TUG).

5) il *Gruppo di Unità Tributaria TUG*.

Vi sono due tipi di TUG: il TUG2 per il raggruppamento di tre unità tributarie TU12 e TU2 e il TUG3 che può raggruppare sette TUG2 oppure di un solo TU3 che presenta in questo caso stessa la struttura del TUG3. Il contenitore presenta 18 byte aggiuntivi, due definiti NPI (Null Point Indication) indicano se in un TUG3 sono presenti strutture TUG2 ;

6) l'*Unità Amministrativa AU*. E' una struttura di trama che provvede ad adattare il livello gerarchico inferiore con la struttura di trasporto STM-1. Nell'unità amministrativa AU4 è inserito il contenitore VC4 nel quale confluisce o il flusso plesiocrono DM4 a 140 Mbit/sec o tre TUG3. L'unità amministrativa contiene, oltre alla capacità utile, anche un certo numero di byte di servizio con funzioni di puntatore e controllo;

7) il *Gruppo di Unità Amministrativa AUG*. E' una struttura di trama costituita dall'interlacciamento a byte di più AU omogenei;

8) il *Modulo di Trasporto STM*. E' costituito da un AU e da una serie di byte di intestazione (overhead) per il controllo e la gestione del flusso numerico.

Il modulo STM-1 ha una capacità complessiva di 155.520 Mbit/sec. Moduli di trasporto con capacità N volte superiori a quella base, indicati con STM-N, sono ottenuti interlacciando a byte N gruppi AUG.

13.2 Struttura del segnale STM-1

Il segnale STM-1 costituisce il modulo di trasporto di 1° livello della gerarchia SDH. Il segnale STM-1 è organizzato in una struttura di trame consecutive. Ogni trama, della durata di 125 µsec, è costituita da una matrice bidimensionale di byte disposti su 9 righe e 270 colonne per un totale di :

$$n = 9 \cdot 270 \cdot 8 = 19440 \text{ bit}$$

Essendo la durata della trama $T = 125 \text{ µsec}$, si ricava che il tempo di bit è:

$$T_b = \frac{125 \cdot 10^{-6}}{19440} = 6.43 \text{ nsec}$$

La frequenza di cifra assume il noto valore:

$$f_c = \frac{1}{T_b} = 155.520 \text{ Mbit / sec}$$

In fig. 47 si riporta la struttura della trama STM-1.

Le prime 9 colonne rappresentano i byte di overhead mentre quelli compresi tra la 10° e la 270° colonna costituiscono la capacità informativa di payload.

	1	2	3	4	5	6	7	8	9	10.....270
1	A1	A1	A1	A2	A2	A2	C1	X	X	PAYLOAD
2	B1	M	M	E1	M	*	F1	X	X	
3	D1	M	M	D2	M	*	D3	*	*	
4	AUOH									
5	B2	B2	B2	K1	*	*	K2	*	*	
6	D4	*	*	D5	*	*	D6	*	*	
7	D7	*	*	D8	*	*	D9	*	*	
8	D10	*	*	D11	*	*	D12	*	*	
9	S1	Z1	Z1	Z2	Z2	M1	E2	X	X	

Fig.47 Struttura della trama del modulo di trasporto STM-1

In generale, la struttura di un modulo di trasporto STM-N è costituito da una matrice di 9 righe e $270 \cdot N$ colonne.

Il segnale è trasmesso in forma sequenziale, a partire dalla prima riga, da sinistra a destra e dall'alto in basso. Cioè sono trasmessi prima gli elementi della 1° riga poi quelli della 2° e così via.

La trama del modulo di trasporto STM -1 può essere divisa in tre parti:

- la *Section OverHead SOH*. Contiene informazioni relative, alla parola di allineamento, agli allarmi, al tasso di errore e alla gestione della trasmissione dell'intera trama;
- *STM-1 Payload*. Contiene i byte informativi di uno o più contenitori virtuali VC per il trasporto dei tributari all'interno della rete DSH.
- la *Administrative Unit Overhead AUOH*, costituita da 9 byte è l'area dei puntatori che individuano l'indirizzo del contenitore virtuale VC4 all'interno della trama STM-1. Inoltre, i byte presenti in tale riga realizzano anche la funzione di giustificazione (stuffing) dovuta alle possibili differenza di frequenze tra gli orologi nei nodi SDH. In queste circostanze, i primi 6 byte svolgono la funzione di messaggio di stuffing mentre i rimanenti 3 byte più i 3 byte immediatamente successivi nella stessa riga del payload sono i byte di stuffing;

La sezione di overhead SOH è suddivisa in due parti:

- 1) le righe 1, 2 e 3, composte da 27 byte, individuano la sezione di *rigenerazione* RSOH che contiene i seguenti byte:

- A1 = 11110110 e A2 = 00 101000 sono byte di allineamento;
- C1 identifica il tributario STM-1 in una trama STM-N;
- X canale per ad uso nazionale;
- B1 è un byte di parità calcolato su la trama STM-1 precedente;
- M byte ad uso del mezzo, ad esempio come canale di servizio nei ponti radio;
- D1÷D3 sono utilizzati come canale dati a 192 Kbit/sec per comunicazioni tra terminali e rigeneratori;
- E1, F1 byte utilizzati per comunicazioni foniche di servizio;
- * riservati per future standardizzazioni internazionali.

2) le righe da 5 a 9, composte da 45 byte, individuano la sezione di *multiplazione* MSOH che contiene i seguenti byte:

- B2 è un byte di parità calcolato su la trama STM-1 precedente, escludendo i byte delle righe 1, 2 e 3 della sezione RSOH;
- K1, K2 utilizzati per segnalazioni di scambio automatico tra apparati;
- D4÷D12 sono utilizzati come canale dati a 576 Kbit/sec per comunicazioni di servizio;
- Z1, Z2 canali riservati per future applicazioni;
- S1 indica il tipo di sincronismo della trama STM-1;
- X canale per uso nazionale;
- * riservati per future standardizzazioni internazionali.

13.3 Stratificazione della rete di telecomunicazioni

La rete di telecomunicazioni SDH è strutturata in un modello stratificato suddiviso in livelli sovrapposti che dialogano tra loro secondo una relazione *Client-Server* descritta dal modello ISO/OSI. Il trasferimento delle informazioni è gestito dal livello superiore (Client) che sfrutta le risorse del livello inferiore (Server). Il modello stratificato della rete consente una maggiore flessibilità di gestione. Infatti, è possibile progettare, modificare e gestire un livello in modo indipendente dagli altri.

L'architettura della rete SDH si colloca nella più generale struttura TMN (Telecommunication Management Network) descritta nella raccomandazione M.3010 dell'ITU-T per la gestione e il collegamento con altre reti e servizi impiegando interfacce standard.

La rete SDH è suddivisa in tre livelli principali:

- 1) livello di circuito;
- 2) livello di percorso;
- 3) livello del mezzo trasmissivo.

Il *livello di circuito* (Circuit Layer) gestisce i servizi forniti all'utenza, come i collegamenti a commutazione di pacchetto, collegamenti ISDN, collegamenti a commutazione di circuito, ecc. in modo indipendente dalla natura del mezzo trasmissivo e dal percorso effettuato.

Il *livello di percorso* (Path Layer) trasporta le informazioni del livello di circuito in modo indipendente dal livello sottostante relativo al mezzo di trasporto.

Il *livello del mezzo trasmissivo* (Transmission Media Layer) gestisce il trasporto delle informazioni numeriche sul mezzo fisico, tipicamente cavo coassiale, fibra ottica e ponte radio. Nella rete SDH il livello del mezzo di trasporto è suddiviso ulteriormente in sottolivelli per la gestione del mezzo fisico vero e proprio, dei moltiplicatori e dei rigeneratori.

13.4 Rete di sincronizzazione

La strategia di sincronizzazione della rete SDH si basa sulla possibilità di distribuire un segnale di riferimento di elevata precisione e stabilità sull'intero territorio. Il metodo impiegato è detto *master-slave* poiché il segnale dell'orologio

principale va dalla centrale di sincronizzazione (master) a quella da sincronizzare (slave). Tale segnale è successivamente utilizzato per sincronizzare gli orologi secondari di centrale. Gli orologi secondari devono, comunque, poter operare in modo indipendente in assenza di segnale cronosegnale.

Negli Stati Uniti, già dagli anni '70, la AT&T ha realizzato una rete distribuzione dei cronosegnali con tecnica master.slave. L'orologio master a frequenza di 2.048 MHz presenta una stabilità a lungo termine di una parte su 10^{12} .

In Italia la strategia di sincronizzazione si basa su una tecnica stratificata a 4 livelli:

- *livello 0* è costituito da un orologio master a 2.048 MHz detto ONR (Orologio Nazionale di Riferimento) e ubicato a Roma. La precisione dell'orologio ONR non deve essere inferiore a 10^{-11} ;
- *livello 1* è costituito da un insieme di orologi secondari installati presso diverse centrali di Roma e collegate con ONR (livello 1A). A tali centrali sono collegate, in modo strategico sul territorio, ulteriori orologi appartenenti ad altre centrali nazionali, continentali e intercontinentali (livello 1B);
- *livello 2* è costituito da orologi di centrali intermedie non comprese nel livello 1. La precisione degli orologi di livello 1 e 2 non deve essere inferiore a $3 \cdot 10^{-9}$;
- *livello 3* è costituito dagli orologi di tutte le rimanenti centrali periferiche. La precisione degli orologi del livello 3 non deve essere inferiore a $3 \cdot 10^{-7}$.

Gli orologi impiegati negli apparati master e nei nodi della rete sono normalmente di tipo atomico al cesio o al rubidio. Tali orologi, sono molto costosi ma presentano un'ottima stabilità e precisione.

Negli apparati asserviti si utilizzano oscillatori, poco costosi, al quarzo controllati da opportuni circuiti a PLL per garantire una buona stabilità in frequenza a lungo termine.

14. Modulazione Delta DM

La modulazione DM (Delta Modulation) è una variante della tecnica PCM. Essa impiega codici di quantizzazione di tipo Gray in modo che due configurazioni binarie

contigue cambiano per un solo bit. In trasmissione è inviato un singolo impulso positivo se il campione attualmente trasmesso è maggiore di quello precedente, se invece è minore è inviato un impulso negativo.

In ricezione segnale modulante viene ricostruito sommando o sottraendo ad una tensione iniziale una quantità fissa a seconda se l'impulso in ricezione è positivo o negativo.

La modulazione DM ha il pregio della semplicità sia in trasmissione che in ricezione ma può essere impiegata solo se il segnale modulante non è a frequenza molto elevata in modo da poterne seguire le variazioni di ampiezza.

In commercio sono disponibili integrati, impiegati in campo telefonico, che realizzano la modulazione e demodulazione DM.

In fig. 48 è mostrato lo schema a blocchi di un modulatore DM.

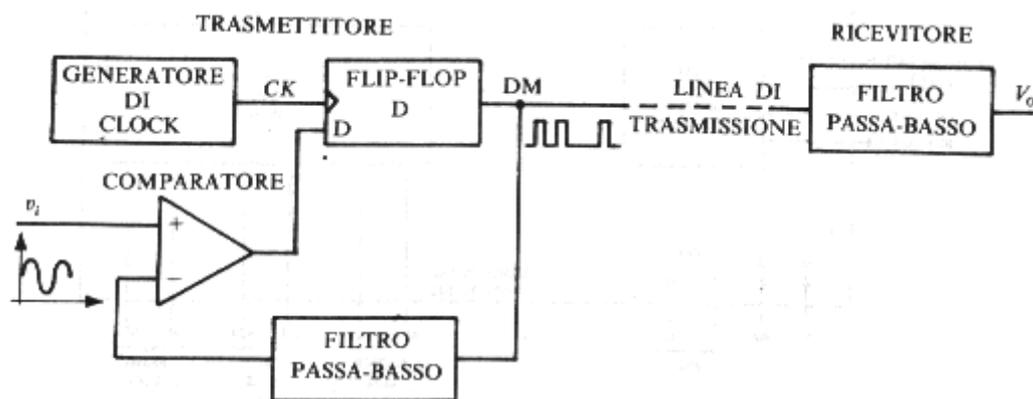


Fig.48 Schema a blocchi di un modulatore Delta.

Il dispositivo è costituito da un generatore di clock, con frequenza tipica di alcune decine di KHz, che pilota un flip-flop di tipo D sensibile ai fronti di salita del clock. L'ingresso D è il risultato del confronto tra il segnale v_i , supposto positivo e a frequenza fonica, e l'uscita DM del flip-flop filtrata da un filtro passa-basso con frequenza di taglio di alcune centinaia di Hz. Il ricevitore è costituito semplicemente da un filtro passa-basso identico a quello di reazione presente nel trasmettitore.

In fig. 49 si mostra lo schema elettrico di un semplice Trasmettitore/Ricevitore che fa uso della modulazione Delta.

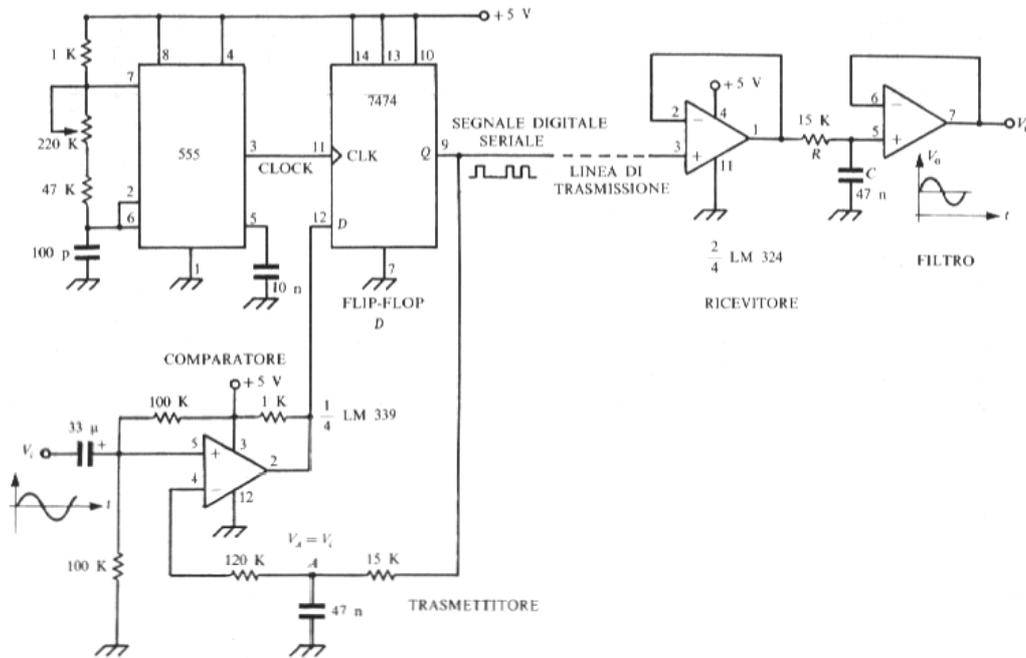


Fig. 49 Trasmettitore/Ricevitore con Modulazione Delta.

In fig. 50 si riporta la risposta in simulazione del sistema TX/RX con modulazione DM di fig. 49 per $v_i(t) = 2.5 + 1.5\sin 2\pi 100t$ [V] e frequenza di clock di 20 KHz.

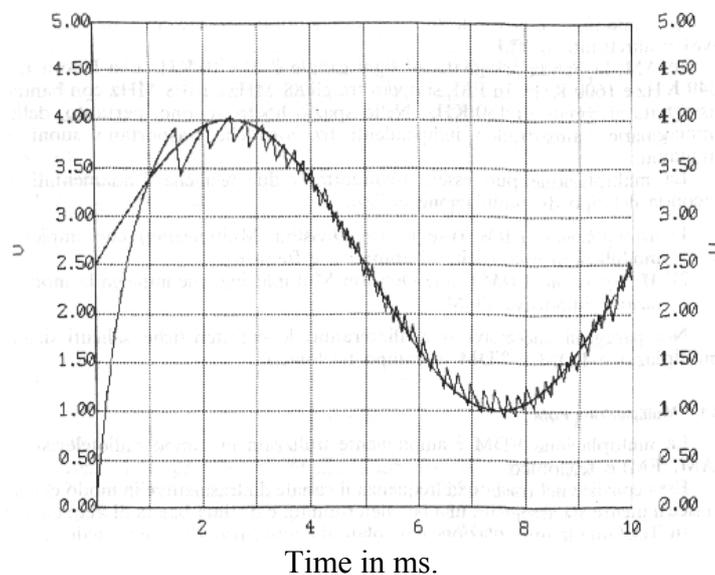


Fig. 50 Analisi temporale dell'ingresso e dell'uscita di modulatore DM

Il segnale segmentato sovrapposto a quello sinusoidale v_i è l'uscita v_o del ricevitore. All'aumentare della frequenza di clock migliora la ricostruzione del segnale di uscita che tende sempre più ad uguagliare v_i . Infatti, il valore della frequenza di clock f_{CK} definisce l'errore nella conversione; per avere un errore di conversione inferiore ad un ΔV prefissato, deve essere:

$$\left(\frac{dv_i}{dt} \right)_{\max} \leq \frac{\Delta V}{T_{CK}}$$

15. Modulazione di durata PWM

La modulazione **PWM** (*Pulse Width Modulation*) detta anche PDM (*Pulse Duration Modulation*) si realizza modificando la durata degli impulsi della portante proporzionalmente all'ampiezza del segnale modulante. In fig. 51 si mostrano i diagrammi temporali relativi alla modulazione PWM e il circuito applicativo.

Per $V_m = V_M/2$ l'uscita V_o coincide con la portante (onda quadra). La modulazione PWM è utilizzata anche nei sistemi di controllo a catena chiusa.

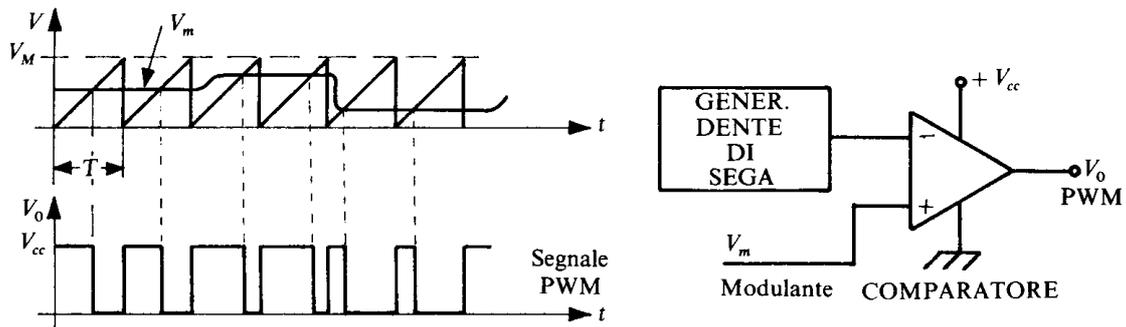


Fig. 51 Diagrammi temporali di un sistema a modulazione PWM.

In fig. 52 si mostra lo schema elettrico di un semplice modulatore PWM realizzato con il timer 555 insieme alle forme d'onda di funzionamento.

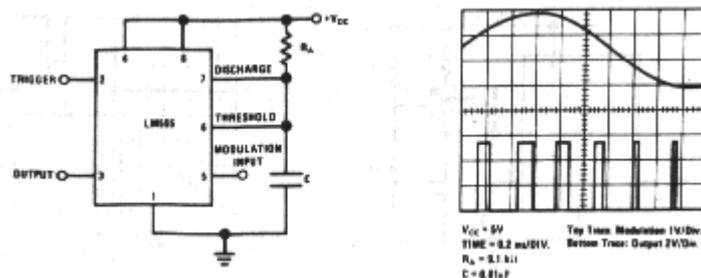


fig. 52 Schema elettrico di un modulatore PWM con timer 555.

16. Modulazione di posizione PPM

Come appare dall'analisi temporale della fig. 53a), la modulazione **PPM** (*Pulse Position Modulation*) consiste nel modificare la posizione degli impulsi della portante proporzionalmente all'ampiezza del segnale modulante. La modifica di posizione è relativa a quella assunta dalla portante nel caso che il segnale modulante sia: $V_m = V_M/2$.

In fig.53b) si riporta una soluzione circuitale che realizza la modulazione PPM.

La modulazione PPM è ottenuta da un modulatore PWM che comanda un multivibratore monostabile con durata $T_m \ll T$.

Lo spostamento temporale è riferito alla posizione di riposo che si ha quando la tensione modulante vale: $V_m = V_M/2$.
 La tensione V_m può variare tra 0 e V_M .

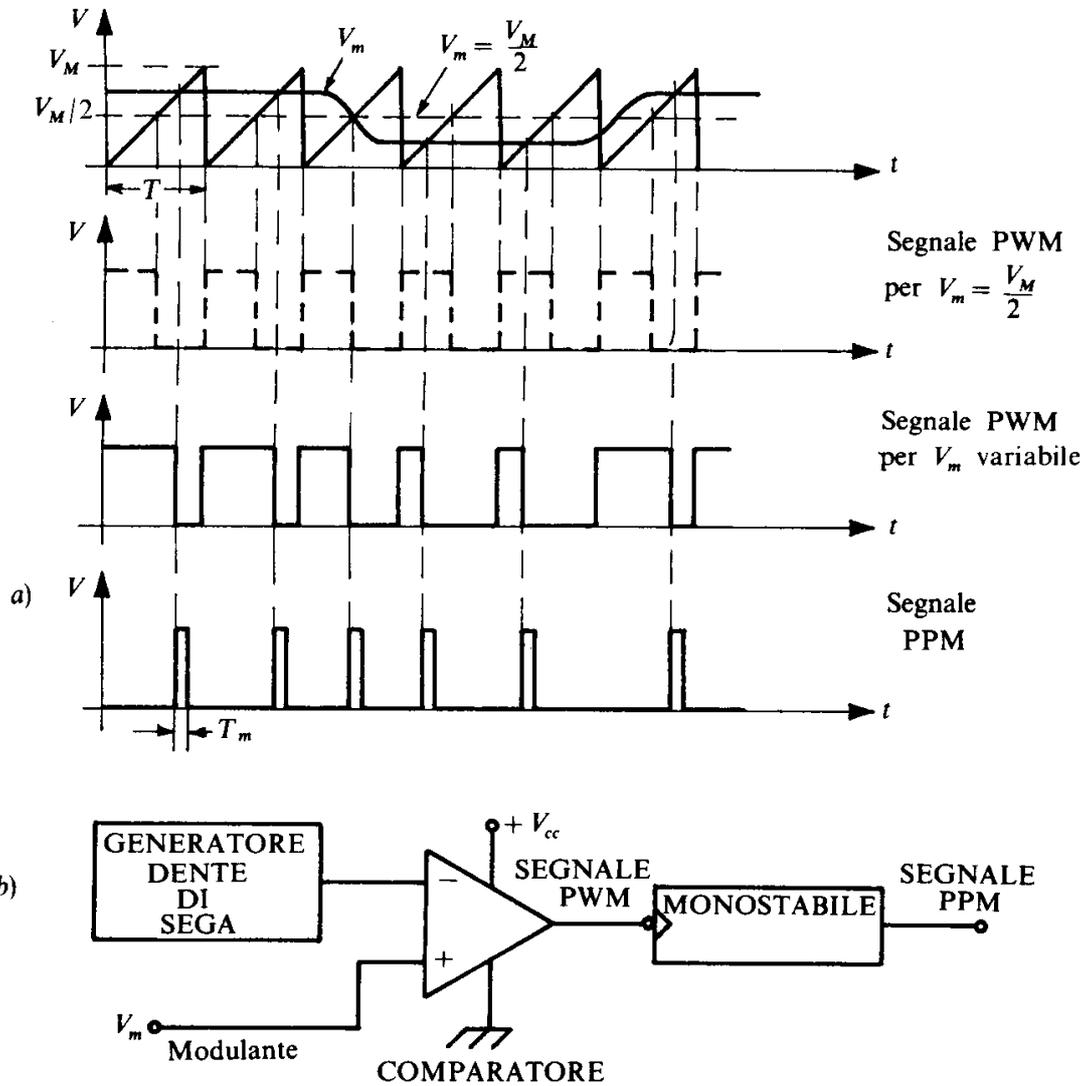


Fig.53.- a) Generazione di un segnale PPM ricavato da un PWM. Si osservi la posizione degli impulsi PPM rispetto al fronte di discesa per $V_m = V_M/2$. b) Schema a blocchi di un modulatore PPM.

In fig.54 si riporta lo schema elettrico di un modulatore PPM realizzato con il timer 555.

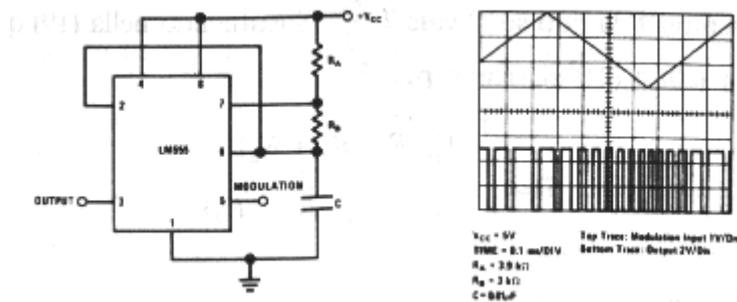


Fig. 54 Schema elettrico di un modulatore PPM con timer 555.