

Filtri digitali PB e PA

a cura del prof. Giuseppe Spalierno

Giugno 2020

In fig.1 si mostra lo schema di un filtro digitale con due uscite di cui una "passa-alto" sul canale A e l'altra "passa-basso" sul canale B dell'oscilloscopio.

In sostanza il circuito è assimilabile ad un generatore di onde quadre a frequenza variabile e ad un deviatore che smista il clock:

1. sull'uscita "passa basso" se la frequenza del clock ha valore inferiore a f_t ;
2. sull'uscita "passa alto" se la frequenza del clock ha valore superiore a f_t .

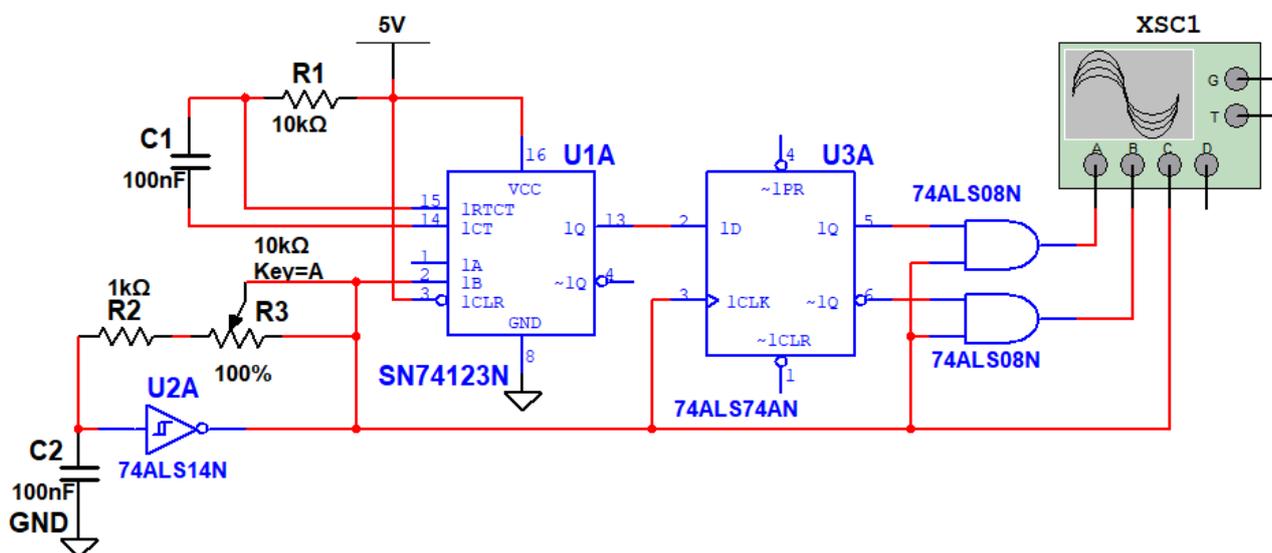


Fig.1 – Schema logico di un filtro digitale con uscite "passa alto" sul canale A e "passa basso" sul canale B. Sul canale C dell'oscilloscopio è applicato il clock.

Il clock è realizzato da un generatore di onde quadre costituito dal NOT a "Trigger di Schmitt" 74ALS14 ed una rete con costante di tempo $(R_2+R_3)*C_2$.

R_3 è variabile da 0 a 10KΩ. Il periodo vale: $T_{ck}=1.15*(R_2+R_3)*C_2$.

Sostituendo i valori di ottiene:

$T_{min}=1.15*10^3*100*10^{-9}=0.115ms$; da cui: $f_{max}=1/T_{min}=8.7KHz$

$T_{max}=1.15*11*10^3*100*10^{-9}=1.26ms$ da cui: $f_{min}=1/T_{max}=790Hz$

L'integrato 74123 è un multivibratore monostabile retriggerabile qui comandato dal clock sul fronte di salita. L'impulso di uscita sul pin 13 vale: $T=0.45*R_1*C_1=0.45ms$ (il valore ottenuto è compreso tra 0.115ms e 1.26ms).

La frequenza di taglio del filtro vale: $f_t = 1/T = 2,22\text{KHz}$.

Quando il periodo di clock è inferiore a 0.45ms (quindi a frequenze alte) l'uscita del monostabile, essendo retriggerabile, rimane sempre al livello logico alto per cui l'uscita del flip-flop D si porta al livello alto e l'uscita della porta AND superiore esegue l'operazione $1 * CK = CK$ che viene applicato al canale A dell'oscilloscopio. Contemporaneamente l'uscita negata del flip-flop vale 0 e quindi $0 * CK = 0$ è applicato al canale B dell'oscilloscopio.

Viceversa, quando il periodo di clock è superiore a 0.45ms (quindi a frequenze basse) l'uscita del monostabile rimane sempre al livello logico basso per cui, grazie al flip-flop D, l'uscita di quest'ultimo si porta al livello basso e l'uscita della porta AND superiore esegue l'operazione $0 * CK = 0$ che viene applicato al canale A dell'oscilloscopio. Contemporaneamente l'uscita negata del flip-flop D vale 1 e quindi $1 * CK = CK$ è applicato al canale B dell'oscilloscopio.

IL clock è applicato sul canale C dell'oscilloscopio ed è mostrato nella traccia superiore della successiva fig.2. Si noti che, durante la simulazione, si è variato il valore del potenziometro R_3 ed è, quindi, mutato il periodo di clock. La traccia intermedia è quella dell'uscita passa-basso posta sul canale B mentre quella in basso è dell'uscita passa-alto posta sul canale A.

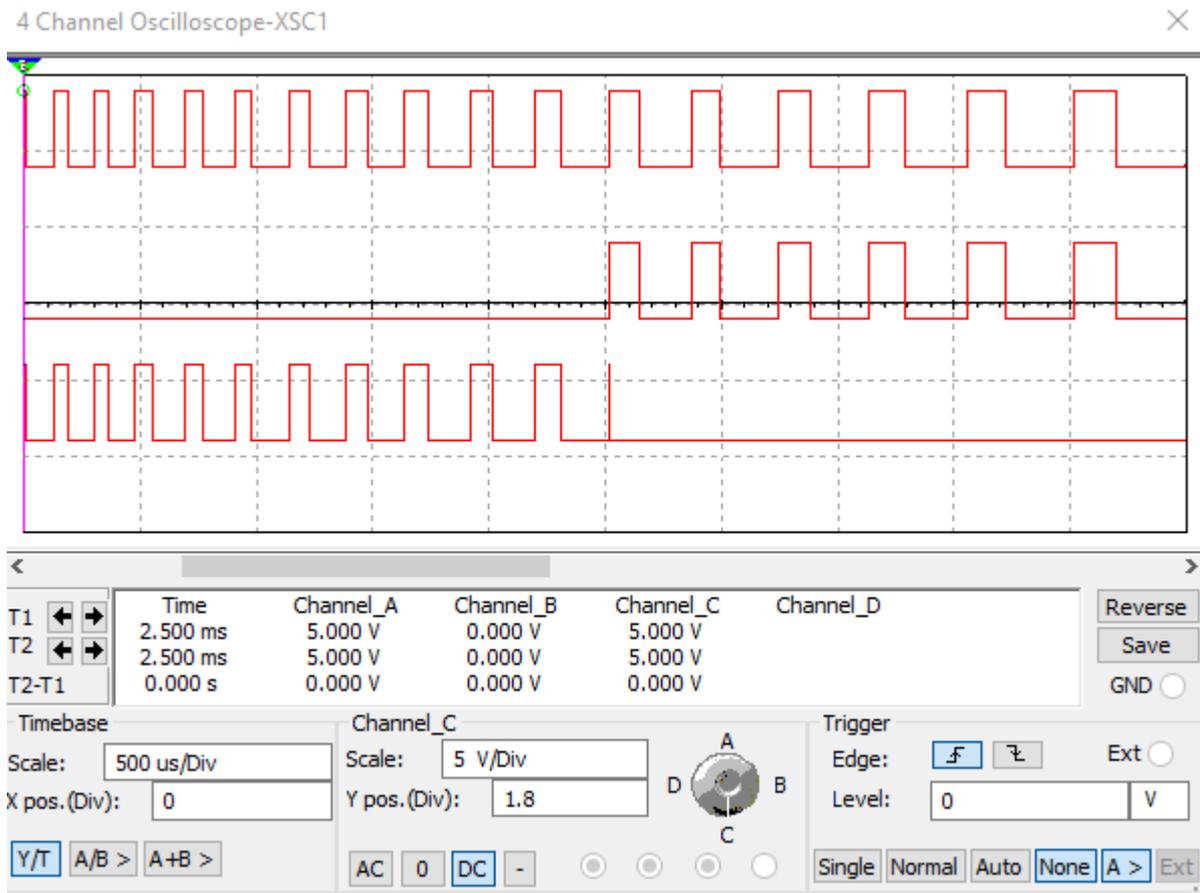


Fig.2 – In alto si mostra il clock con frequenza in diminuzione. Al centro l'uscita passa-basso sul canale B e in basso l'uscita "passa-alto" sul canale A.