

# Struttura gerarchica: dado elettronico

a cura del prof. Giuseppe Spalierno

Giugno 2020

In questa esercitazione esamineremo il funzionamento di un dado elettronico che fa uso di più strutture gerarchiche.

Un display visualizza l'uscita digitale di un contatore a 3 bit sotto forma di un numero compreso tra 1 e 6.

Il contatore è pilotato da un clock ad alta frequenza e da un interruttore che consente l'interruzione degli impulsi che determinano il procedere del conteggio. Data l'elevata frequenza di funzionamento e l'aleatorietà dell'istante di apertura dell'interruttore, il contatore si ferma su una configurazione casuale compresa tra 1 e 6.

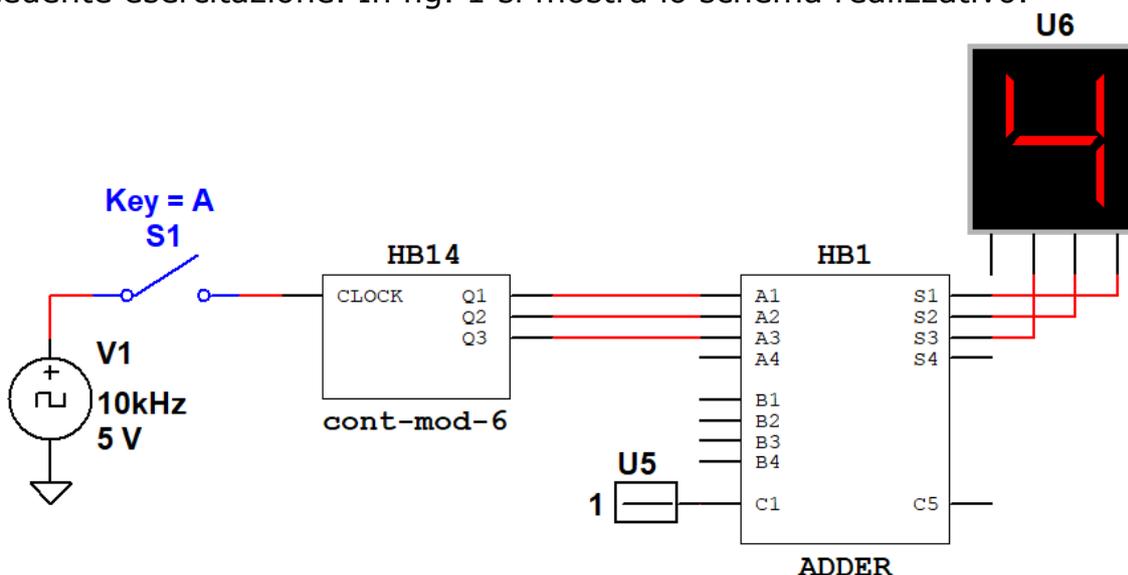
Utilizzeremo due strutture gerarchiche: la prima è il contatore da 0 a 5 e la seconda è il sommatore nidificato cioè con più strutture gerarchiche contenute una nell'altra.

Il contatore è realizzato da 3 flip-flop JK nella configurazione contatore asincrono con azzeramento, quindi conta da 0 a 5 ed al successivo clock la configurazione del 6 (110) determina l'immediato reset dei 3 flip-flop.

In cascata inseriamo un sommatore che esegue la somma tra la configurazione data dal contatore e 1, in pratica l'uscita del sommatore è quella del contatore incrementata di 1.

Ovviamente il contatore, per il corretto pilotaggio del display, potrebbe essere realizzato più facilmente con 3 flip-flop e porte logiche nella versione sincrona dopo una fase di progettazione dei sei stati distinti da 1 a 6 considerando come stato futuro quello attuale aumentato di 1.

La scelta operata in questa esercitazione è quella che consente di realizzare circuiti, anche complessi, facendo uso dei blocchi tipici delle strutture gerarchiche e della possibilità di utilizzo di un blocco già esistente creato in una precedente esercitazione. In fig. 1 si mostra lo schema realizzativo.



**Fig.1 Dado elettronico con contatore mod.6 (0...5) seguito da un sommatore per parole a 4 bit. Le uscite Q1 Q2 Q3 del contatore sono collegate agli ingressi A1 A2 A3 del sommatore. Gli altri ingressi del sommatore sono uguali a zero tranne il riporto C1 che vale 1, sicché le uscite S1 S2 S3 del sommatore vanno da 1 a 6.**

Contatore asincrono mod.6: 0 - 1 - 2 - 3 - 4 - 5  
 al sesto clock la porta NAND azzerava i 3 FF e  
 il ciclo si ripete.

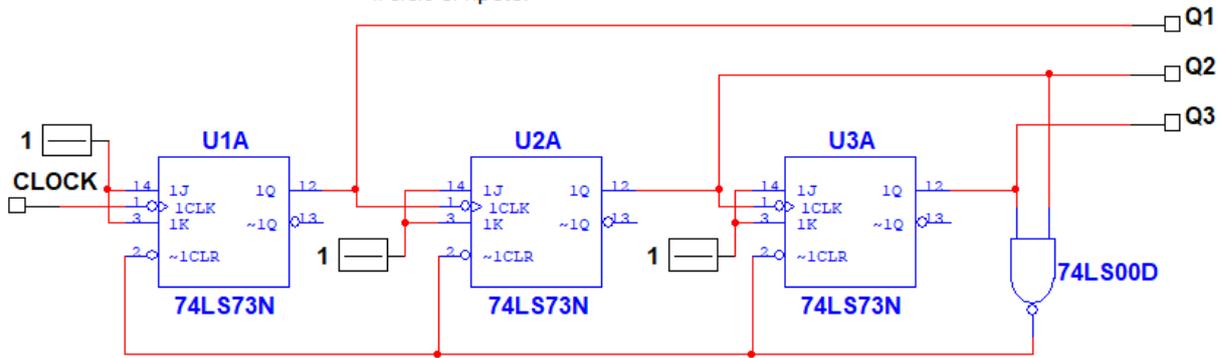


Fig.2 Schema logico del contatore mod.6 (0...5).

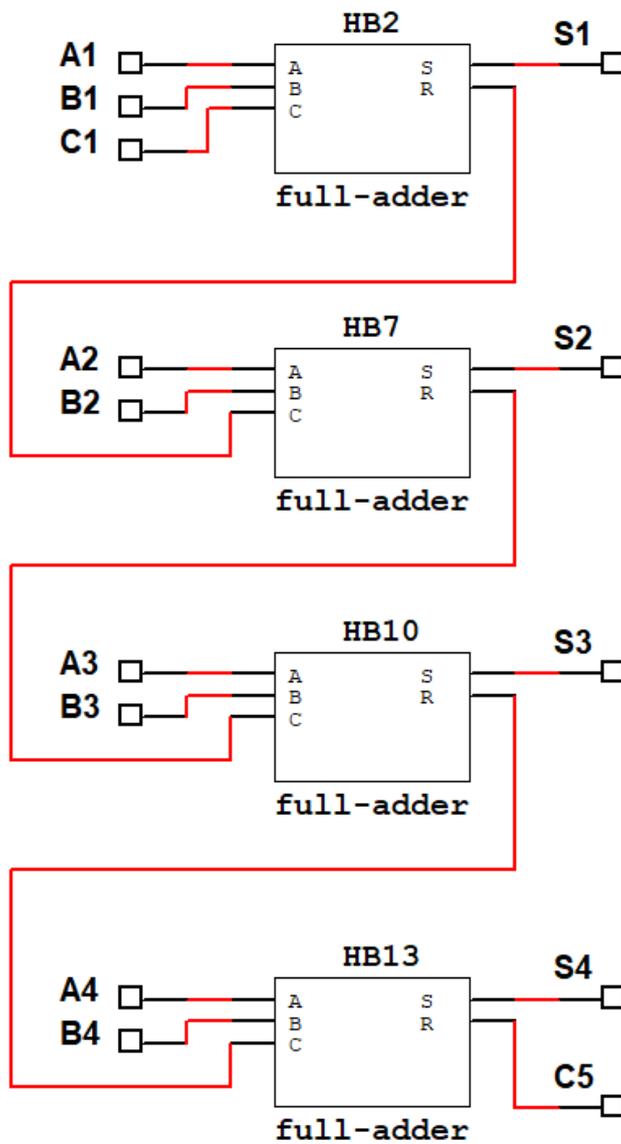


Fig.3 Blocco Sommatore tra due parole binarie a 4 bit  $A=A_4A_3A_2A_1$  e  $B=B_4B_3B_2B_1$ . Il riporto R del full-adder HB2 è applicato all'ingresso di riporto C del full-adder HB7 e così via. Il risultato è a 5 bit:  $C_5 S_4 S_3 S_2 S_1$ .