

Compito di Elettronica Digitale n.3

Classe III ET ez.B – 22/01/07 – Fila 1

Esercizio n.1

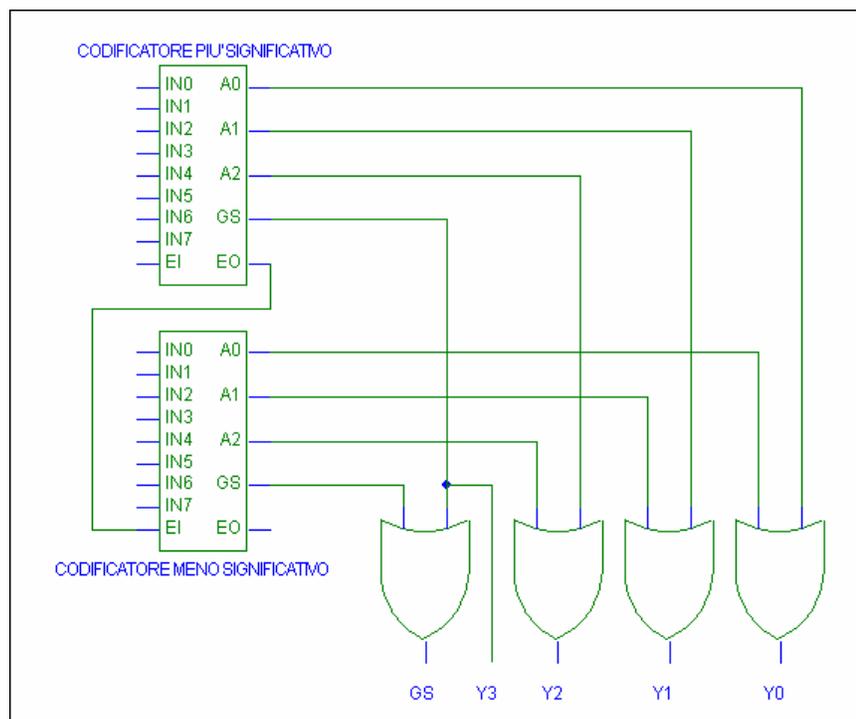
In tabella si mostrano i codici BCD 8421 e 2 su 5. Realizzare il circuito digitale che consente la conversione dal BCD 8421 al 2 su 5 secondo quanto riportato nella tabella utilizzando un decodificatore a 4 ingressi con uscite in logica negativa e 5 porte NAND.

N.	8421	2 su 5
0	0000	00011
1	0001	00101
2	0010	00110
3	0011	01001
4	0100	01010
5	0101	01100
6	0110	10001
7	0111	10010
8	1000	10100
9	1001	11000

Esercizio n.2

In figura si mostra il collegamento di due codificatori con priorità uguali, ciascuno a 8 ingressi, in modo da realizzare un unico codificatore a 16 ingressi. Tutte le linee funzionano in logica positiva.

Spiegare il funzionamento del collegamento delle porte OR utilizzate e la logica di funzionamento della linea di abilitazione di uscita EO del codificatore più significativo che comanda l'ingresso di abilitazione EI dell'altro codificatore.



Si ricordi che se non si attiva alcuna linea di ingresso si ha $EO=1$; in tutti gli altri casi si ha: $EO=0$.

Esercizio n.3

Minimizzare, con le mappe di Karnaugh, le 5 funzioni di uscita dell'esercizio n.1 e realizzare il circuito a porte logiche. Le combinazioni delle variabili di ingresso non indicate nella tabella sono "non importa".

Compito di Elettronica Digitale n.3

Classe III ET ez.B – 22/01/07 – Fila 2

Esercizio n.1

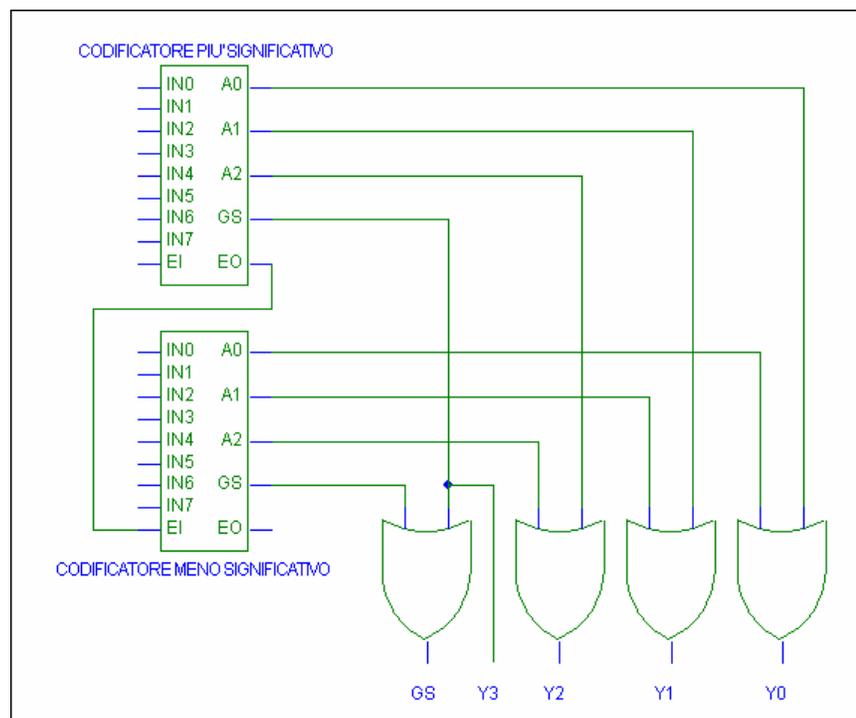
In tabella si mostrano i codici BCD 8421 e 2421. Realizzare il circuito digitale che consente la conversione dal BCD 8421 al 2421 secondo quanto riportato nella tabella utilizzando un decodificatore a 4 ingressi con uscite in logica negativa e 4 porte NAND.

N.	8 4 2 1	2 4 2 1
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 1
2	0 0 1 0	0 0 1 0
3	0 0 1 1	0 0 1 1
4	0 1 0 0	0 1 0 0
5	0 1 0 1	1 0 1 1
6	0 1 1 0	1 1 0 0
7	0 1 1 1	1 1 0 1
8	1 0 0 0	1 1 1 0
9	1 0 0 1	1 1 1 1

Esercizio n.2

In figura si mostra il collegamento di due codificatori con priorità uguali, ciascuno a 8 ingressi, in modo da realizzare un unico codificatore a 16 ingressi. Tutte le linee funzionano in logica positiva.

Spiegare il funzionamento del collegamento delle porte OR utilizzate e la logica di funzionamento della linea di abilitazione di uscita EO del codificatore più significativo che comanda l'ingresso di abilitazione EI dell'altro codificatore.



Si ricordi che se non si attiva alcuna linea di ingresso si ha $EO=1$; in tutti gli altri casi si ha: $EO=0$.

Esercizio n.3

Minimizzare, con le mappe di Karnaugh, le 4 funzioni di uscita dell'esercizio n.1 e realizzare il circuito a porte logiche. Le combinazioni delle variabili di ingresso non indicate nella tabella sono "non importa".