

I.T.I.S. "Modesto PANETTI" – B A R I
Compito di Elettronica Digitale
Classe 3^a ET sez.B
21 maggio 2007

Fila n.1

Utilizzando 3 flip-flop J-K con CLEAR attivo basso e giustificando il procedimento adottato, progettare e realizzare un contatore mod.6:

- 1) asincrono in avanti
- 2) asincrono indietro
- 3) sincrono in avanti
- 4) sincrono indietro
- 5) Disegnare, infine, la forma d'onda del bit più significativo del contatore sincrono in avanti mod.6 e determinare T_H (durata del livello logico alto) e T_L (durata del livello logico basso) sapendo che il clock esterno applicato è periodico con frequenza $f_{CK} = 50\text{Hz}$ ed il contatore si trova nello stato iniziale al valore $Q_3Q_2Q_1 = 000$.

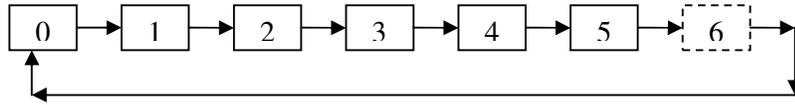
Fila n.2

Utilizzando 3 flip-flop J-K con CLEAR attivo basso e giustificando il procedimento adottato, progettare e realizzare un contatore mod.5:

- 1) asincrono in avanti
- 2) asincrono indietro
- 3) sincrono in avanti
- 4) sincrono indietro
- 5) Disegnare, infine, la forma d'onda del bit più significativo del contatore sincrono in avanti mod.5 e determinare T_H (durata del livello logico alto) e T_L (durata del livello logico basso) sapendo che il clock esterno applicato è periodico con frequenza $f_{CK} = 40\text{Hz}$ ed il contatore si trova nello stato iniziale al valore $Q_3Q_2Q_1 = 000$.

Risoluzione fila n.1

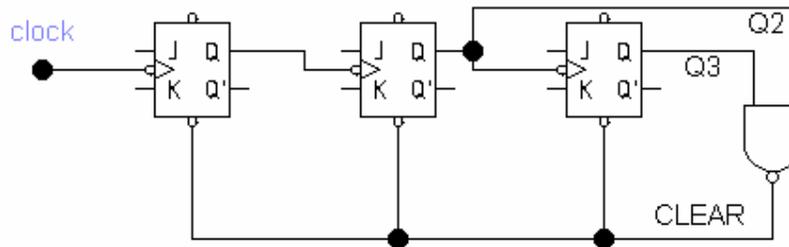
1) Il contatore asincrono in avanti mod.6 soddisfa il seguente diagramma degli stati.



Supponendo il contatore nello stato 0, ad ogni impulso di clock si passa nello stato successivo indicato nel diagramma. Quando viene raggiunto lo stato 6 una logica combinatoria è in grado di resettare tutti i flip-flop obbligando il contatore ad entrare nello stato 0. In pratica lo stato 6 è attivo per una manciata di nanosecondi e decade spontaneamente nello stato 0. Lo stato 7 non viene mai assunto dal contatore.

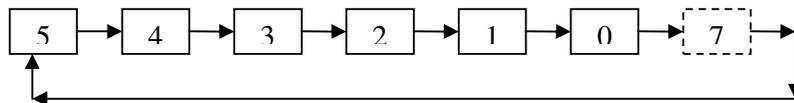
Poiché $6_{10} = 110_2 = Q_3Q_2Q_1$, la funzione di clear testa tale configurazione e resetta i flip-flop che, nella configurazione binaria del modulo, assumono il valore 1:

$$\text{CLEAR} = Q_3 * Q_2$$



Nella figura si utilizza la porta NAND poiché gli ingressi di CLEAR dei flip-flop sono attivi in logica negativa. Gli ingressi J e K di ciascun flip-flop devono essere portati al livello logico 1 (per funzionare a commutazione). Gli ingressi di PRESET, infine, devono essere tenuti al livello logico alto per non attivare tale funzione.

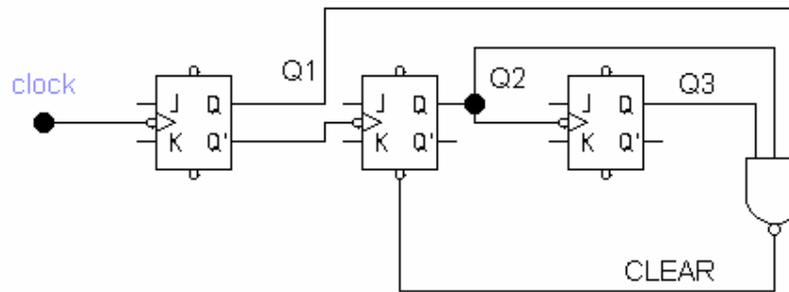
2) Il contatore asincrono indietro mod.6 soddisfa il seguente diagramma degli stati.



Supponendo il contatore nello stato 5, ad ogni impulso di clock si passa nello stato successivo indicato nel diagramma. Quando viene raggiunto lo stato 7 una logica combinatoria è in grado di resettare il flip-flop 2 obbligando il contatore ad entrare nello stato 5. In pratica lo stato 7 è attivo per una manciata di nanosecondi e decade spontaneamente nello stato 5. Lo stato 6 non viene mai assunto dal contatore.

Poiché $5_{10} = 101_2 = Q_3Q_2Q_1$, la funzione di clear resetta il flip-flop 2:

$$\text{CLEAR} = Q_3 * Q_2 * Q_1$$



Nella figura si utilizza la porta NAND poiché l'ingresso di CLEAR del flip-flop 2 è attivo in logica negativa. Gli ingressi J e K di ciascun flip-flop devono essere portati al livello logico 1 (per funzionare a commutazione). Gli ingressi di PRESET, infine, devono essere tenuti al livello logico alto per non attivare tale funzione così come gli ingressi di CLEAR dei flip-flop 1 e 3. Per il conteggio down, come è noto, si deve collegare l'uscita negata di ciascun flip-flop all'ingresso di clock del flip-flop successivo.